

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-233158

(43)Date of publication of application : 16.08.2002

(51)Int.Cl. H02M 7/48

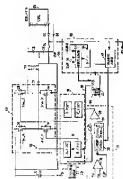
H02M 7/5387

H05B 41/24

(21)Application number : 2001-008143 (71)Applicant : O2 MICRO INTERNATL LTD

(22)Date of filing : 16.01.2001 (72)Inventor : YUN-RIN RIN

## (54) HIGH-EFFICIENCY ADAPTIVE DC-TO-AC CONVERTER



(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a system optimized for driving a load.

SOLUTION: A DC-to-AC converter circuit transmits power to a load 20 while performing its control, and is provided with a power source 12, a plurality of switches A to D, a pulse generator 22, a drive circuit 50 for controlling the

conducting states of the switches A to D, a transformer TX1, the load 20, and a feedback loop circuit. The drive circuit 50 controls overlapping time intervals among the plurality of switches in a first set, as well as the overlap time intervals among the plurality of switches in a second set, so as to consequently control the power supplied to the load.

---

## LEGAL STATUS

[Date of request for examination] 30.09.2002

[Date of sending the examiner's  
decision of rejection] 24.05.2005

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection] 2005-16020

[Date of requesting appeal against  
examiner's decision of rejection] 22.08.2005

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] It is a DC/AC converter circuit for transmitting power, controlling to a load. They are two or more switches which make two or more switches which make the 1st set alternatively connected to the source of input voltage, and; this voltage source, and which are overlapped mutually, and the 2nd set and which are overlapped mutually. In this case, two or more switches which make the 1st set form the 1st electric conduction path, and two or more switches which make the 2nd set are having the 2nd electric conduction path formed. The pulse generator for generating two or more switches and; pulse signals which make two or more switches which make the 1st set, and which are overlapped mutually, and the 2nd set and which are overlapped mutually; while receiving said pulse signal While having the drive circuit for controlling the conductive state of two or more switches which make the 1st set and said said 2nd set,; upstream, and secondary Said voltage source is alternatively connected to said upstream by going via said 1st electric conduction path and said 2nd electric conduction path in alternation. It is arranged between the load and; this load which were connected to secondary [ of a transformer and; this transformer / said ], and said drive circuit. It comes to provide the feedback loop circuit and; for supplying the feedback signal showing the power supplied to said load. Said drive circuit While switching in alternation the conductive state of two or more switches which make the 1st set and said said 2nd set and controlling the overlap time amount during two or more switches in said 1st set The circuit characterized by controlling the overlap time amount during two or more switches in said 2nd set, basing this on said feedback signal and said pulse signal partially at least, and connecting said voltage source and said upstream.

[Claim 2] The circuit where said source of input voltage is characterized by being DC voltage source in a circuit according to claim 1.

[Claim 3] In a circuit according to claim 1, said drive circuit generates the 1st complementation pulse signal with said complementary pulse signal,; inclination signal, and;. Said pulse signal By being supplied to the 1st switch of two or more switches which make said 1st set, presenting control of the switch-on of this 1st switch, and comparing said inclination signal with said feedback signal at least The 2nd pulse signal is generated. This 2nd pulse signal It is supplied to the 2nd switch of two or more switches which make said 1st set, and control of the switch-on of this 2nd switch is presented. By this The overlap condition between the switch-on of said 1st switch of two or more switches which make said 1st set, and the switch-on of said 2nd switch It is controlled and said drive circuit generates the 2nd complementation pulse signal further based on said 2nd pulse signal. Said the 1st and said 2nd complementation pulse signal control each switch-on of the 1st switch of two or more switches which make said 2nd set, and the 2nd switch. By this The circuit where the overlap condition between the switch-on of said 1st switch of two or more switches which make said 2nd set, and the switch-on of said 2nd switch is characterized by being controlled.

[Claim 4] The circuit where two or more switches which make the 1st set and said said 2nd set are characterized by having the MOSFET transistor in a circuit according to claim 3.

[Claim 5] It has the proper switch by which parallel connection is carried out to each transistor in the circuit according to claim 4 where said each transistor is made into a reverse bias to said voltage source. Each of these proper switch is a circuit characterized by emitting the energy stored in said upstream of said transformer by forming an electric conduction path between said voltage sources and said upstream, when each transistor is made into non-switch-on.

[Claim 6] The circuit where said proper switch is characterized by being diode in a circuit according to claim 5.

[Claim 7] The circuit which the phase contrast between said pulse signals and

said 1st complementation pulse signals is about 180 degrees, and the phase contrast between said 2nd pulse signal and said 2nd complementation pulse signals is about 180 degrees in a circuit according to claim 3, and is characterized by not generating the short circuit between said 1st electric conduction paths and said 2nd electric conduction paths by this.

[Claim 8] The circuit where the conductive state of two or more switches which make said 1st set, and the conductive state of two or more switches which make said 2nd set are characterized by determining the power supplied to said load in a circuit according to claim 7.

[Claim 9] It is the circuit characterized by having the 2nd comparator for comparing the 1st comparator, and this 1st output signal and said inclination signal for said feedback loop circuit comparing a reference sign with said feedback signal in a circuit according to claim 3, and generating the 1st output signal, and generating the 2nd output signal based on the crossover between these 1st output signals and an inclination signal.

[Claim 10] It is the circuit characterized by considering as the measured value of the current on which said feed signal flows through said load in a circuit according to claim 9.

[Claim 11] The current detector for receiving said feedback signal and generating a trigger signal further, in a circuit according to claim 9, is provided. Said feedback loop circuit is further equipped with a switching circuit between said 1st comparator and said 2nd comparator. This switching circuit The circuit characterized by receiving said trigger signal and generating whether it is said 1st output signal or it is the predetermined minimum signal based on the value of this trigger signal.

[Claim 12] It is the circuit characterized by for said reference sign being generated by the reference-sign generation machine in a circuit according to claim 9, and expressing the request power value which should be supplied to said load.

[Claim 13] In a circuit according to claim 9, said feedback signal is received

further. The overcurrent protection network which controls said pulse generation machine based on the value of this feedback signal; Receive the voltage signal concerning said load, and said 1st output signal, and these voltage signals are compared with the 1st output signal. The circuit characterized by providing the overvoltage protection circuit which controls said pulse generation machine, and; based on the value of said voltage signal concerning said load.

[Claim 14] The circuit characterized by having the programmable pulse-frequency generation circuit which is started as it is also at predetermined frequency, and places the sweep of said frequency to it being also at a predetermined rate and a predetermined number of stages upside down further while being programmed in the circuit according to claim 1 so that said pulse generation machine can start said converter circuit as the rate cycle of a load ratio of 50% is also.

[Claim 15] The circuit where said load is characterized by having one or more cold cathode fluorescent lamps (CCFLs) in a circuit according to claim 1.

[Claim 16] The circuit characterized by equipping said upstream with the resonance tank circuit which comes to have an inductor and a capacitor in a circuit according to claim 1.

[Claim 17] The circuit where secondary [ said ] is characterized by having the electrical-potential-difference dividing network by which parallel connection is carried out to the inductor by which parallel connection was carried out to said load in a circuit according to claim 1.

[Claim 18] It is a converter circuit for transmitting power to a CCFL load. The transformer which has a voltage source,; upstream, and secondary; Form the 1st electric conduction path between said voltage sources and said upstream. Form the 2nd electric conduction path between the switch which makes the 1st pair, and said voltage source and said upstream. The pulse generator for generating the CCFL load circuit and; pulse signal which were connected with the switch which makes the 2nd pair the; aforementioned secondary one; It connects to said load. The feedback circuit for generating a feedback signal; while receiving said

pulse signal and said feedback signal The circuit characterized by providing the drive circuit for connecting the switch which makes the switch which makes said 1st pair based on a control pulse signal and said feedback signal so that power can be supplied to said load, or said 2nd pair to said voltage source and said upstream, and;

[Claim 19] In a circuit according to claim 18, said pulse signal has predetermined frequency. said drive circuit -- the 1st drive circuit, the 2nd drive circuit, and the 3rd drive circuit -- and Have the 4th drive circuit and the switch which makes said 1st pair has the 1st transistor and the 2nd transistor. The switch which makes said 2nd pair has the 3rd transistor and the 4th transistor. said 1st drive circuit, said 2nd drive circuit, and said 3rd drive circuit -- and Said 4th drive circuit Said 1st transistor, said 2nd transistor, It connects to the control lines of said 3rd transistor and said 4th transistor, and said pulse signal is supplied to said 1st drive circuit. By this Said 1st transistor is switched according to said pulse signal. Said 3rd drive circuit generates the 1st complementation pulse signal and an inclination signal based on said pulse signal, and supplies said 1st complementation pulse signal to said 3rd transistor further. By this By switching said 3rd transistor according to said 1st complementation pulse signal, and comparing said inclination signal and said feedback signal The 2nd pulse signal is generated. This 2nd pulse signal It is supplied to said 2nd drive circuit. By this said 2nd transistor It is switched according to said 2nd pulse signal, and said 4th drive circuit generates the 2nd complementation pulse signal based on said 2nd pulse signal, and supplies said 2nd complementation pulse signal to said 4th transistor further. By this Said 4th transistor is switched according to said 2nd complementation pulse signal. The circuit characterized by the coincidence flow between said 1st transistor and said 2nd transistor and the coincidence flow between said 3rd transistor and said 4th transistor, and \*\*\*\*\* controlling the power supplied to said load.

[Claim 20] In a circuit according to claim 18 the phase contrast between said pulse signals and said 1st complementation pulse signals It is about 180 degrees.

The phase contrast between said 2nd pulse signal and said 2nd complementation pulse signals Are about 180 degrees and said pulse signal and said 2nd pulse signal have the electric power supply which passes along said 1st electric conduction path controlled. The circuit characterized by said 1st complementation pulse signal and said 2nd complementation pulse signal having the electric power supply which passes along said 2nd electric conduction path controlled.

[Claim 21] The circuit characterized by having the 2nd comparator for comparing the 1st comparator, and this 1st output signal and said inclination signal for said feedback circuit comparing said feedback signal and reference sign, and generating the 1st output signal in a circuit according to claim 19, and generating the 2nd output signal based on the crossover between these 1st output signals and an inclination signal.

[Claim 22] It is the circuit characterized by for said reference sign being generated by the reference-sign generation machine in a circuit according to claim 21, and expressing the request power value which should be supplied to said load.

[Claim 23] The circuit characterized by controlling said pulse generation machine based on the value of said electrical potential difference which possesses further the overvoltage protection circuit connected to said load and said pulse generation machine in a circuit according to claim 21, and this overvoltage protection circuit receives the electrical potential difference concerning said load as an input, and is built over said load.

[Claim 24] The circuit characterized by for said overvoltage protection circuit comparing the voltage signal concerning said load with said 1st output signal, and supplying a control signal to said pulse generation machine in a circuit according to claim 23 so that an electric power supply with said pulse generation machine can be controlled.

[Claim 25] The circuit characterized by equipping said overvoltage protection circuit with the timer circuit, and controlling said control signal over the



predetermined time generated by said timer circuit in a circuit according to claim 24.

[Claim 26] The circuit characterized by providing the overcurrent protection network which is connected to said pulse generation machine, receives said feedback signal as an input further in a circuit according to claim 21, and controls said pulse generation machine based on the value of this feedback signal.

[Claim 27] The circuit characterized by carrying out parallel connection of them to said voltage source and said upstream in a circuit according to claim 19 while series connection of said 1st transistor and said 3rd transistor of each other is carried out, and carrying out parallel connection of them to said voltage source and said upstream while series connection of said 2nd transistor and said 4th transistor of each other is carried out.

[Claim 28] It is the circuit which possesses further the proper switch by which parallel connection is carried out to said each transistor in a circuit according to claim 19, and is characterized by this proper switch permitting energy flow \*\* from said upstream which passes along said 1st electric conduction path or said 2nd electric conduction path before each transistor is switched to switch-on.

[Claim 29] The circuit characterized by forming the resonance tank circuit where said upstream comes to have a single resonance frequency in a circuit according to claim 18.

[Claim 30] The circuit which said 1st drive circuit and said 3rd drive circuit are made into a totem pole circuit, and is characterized by considering as the circuit chosen from the groups which said 2nd drive circuit and said 4th drive circuit become from a bootstrap circuit, a high side drive circuit, and a level shift circuit in a circuit according to claim 19.

[Claim 31] The circuit characterized by equipping further said 2nd drive circuit and said 4th drive circuit with the inverter for generating each of said 1st complementation pulse signal and said 2nd complementation pulse signal in a circuit according to claim 19.

[Claim 32] The saw tooth waveform which said 2nd drive circuit is further

equipped with the saw tooth waveform generation circuit for generating said inclination signal in a circuit according to claim 31, and is generated in this case is a circuit characterized by having the frequency which suited said pulse signal.

[Claim 33] The circuit characterized by providing the flip-flop circuit which supplies said 2nd pulse signal to said 2nd drive circuit only when it connects with said 2nd pulse signal and said 3rd transistor is further switched to switch-on in the circuit according to claim 21.

[Claim 34] In a circuit according to claim 18, a phase locked loop (PLL) circuit with the 1st input signal from said upstream and the 2nd input signal which used said feedback signal is provided further. This PLL circuit is a circuit characterized by transmitting a control signal to said pulse generation machine in order to control the pulse width of said pulse signal based on the phase contrast between said 1st input and said 2nd input.

[Claim 35] Are an approach for facing transmitting power to a load and controlling using a null voltage switching circuit, and prepare DC voltage source and; this voltage source and the upstream of a transformer are received. While connecting the 1st transistor and the 2nd transistor for forming the 1st electric conduction path As opposed to said voltage source and said upstream of said transformer So that the 3rd transistor and the 4th transistor for forming the 2nd electric conduction path may be connected and it may have; predetermined pulse width By carrying out, generating a pulse signal, connecting; load and secondary [ of said transformer ], generating the feedback signal from the; aforementioned load, and controlling the; aforementioned feedback signal and said pulse signal ; which determines the switch-on of said 1st transistor, said 2nd transistor, said 3rd transistor, and said 4th transistor – the approach characterized by things.

[Claim 36] The approach characterized by taking the timing of the flow between said each transistor as said 1st transistor and said 3rd transistor do not flow in coincidence, and so that said 2nd transistor and said 4th transistor may not flow in coincidence further in an approach according to claim 35.

[Claim 37] By generating the 1st complementation signal and the 2nd

complementation signal, generating; inclination signal further, in an approach according to claim 35, and comparing the; aforementioned inclination signal with said feedback signal While controlling the switch-on of this 1st transistor by generating the 2nd pulse signal and supplying the; aforementioned pulse signal to said 1st transistor By supplying said 2nd pulse signal to said 2nd transistor While controlling the switch-on of this 3rd transistor by controlling the switch-on of this 2nd transistor and supplying the 1st complementation pulse signal of; above to said 3rd transistor By supplying said 2nd complementation pulse signal to said 4th transistor the switch-on of this 4th transistor -- controlling --; --; which supplies power to said upstream by controlling the coincidence flow of said 1st transistor and said 2nd transistor, and controlling the coincidence flow of said 3rd transistor and said 4th transistor further -- the approach characterized by things. [Claim 38] ; which generates said 2nd pulse signal by comparing said feedback signal and reference sign in an approach according to claim 37 by generating the 1st output signal based on this comparison result, and comparing the; this 1st output signal with said inclination signal -- the approach characterized by things. [Claim 39] The approach characterized by controlling said pulse generation machine further in an approach according to claim 35 based on the voltage signal concerning said load. [Claim 40] The approach further characterized by controlling said pulse generation machine based on said feedback signal in an approach according to claim 35. [Claim 41] In an approach according to claim 35, a phase lock circuit is received further. The 1st signal showing the electrical potential difference concerning said upstream, and the 2nd signal showing the current which flows through said load, supply -- carrying out --; -- the phase contrast between said 1st signal and said 2nd signal -- locking -- this phase contrast -- being based -- a control signal -- generating --; -- by supplying this control signal to said pulse generation machine ; which adjusts the pulse width of said pulse signal based on the phase contrast between said 1st signal and said 2nd signal -- the approach

characterized by things.

[Claim 42] The approach which faces generating said 2nd pulse signal by comparing said 1st output signal and said inclination signal in an approach according to claim 37, and is further characterized by generating said 2nd pulse signal based on the crossover between said inclination signal and said 1st output signal.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the power converter from DC to AC. This invention provides a detail with an efficient controller circuit which controls the power supplied to a load using a null voltage switching technique more. The general application of this invention is found out by the cold cathode fluorescent lamp (Cold Cathode Fluorescent Lamps, CCFLs). However, if it is this contractor, it will be understood that this invention can be applied to a load of arbitration with which efficient and exact power control is required.

[0002]

[Description of the Prior Art] Drawing 1 shows the power distribution system to CCFL of a conventional type (10). This system is generally equipped with a CCFL drive circuit (16), and the feedback loop (18) and one or more lamps (CCFL) with the LCD panel (20). [ a power source (12), and ] [ a controller (14), and ] A power source (12) supplies DC electrical potential difference to a circuit (16). A circuit (16) is controlled by the controller (14) through a transistor (Q3). A circuit (16) is a self-resonance circuit well-known as a Royer circuit. A circuit (16) is a converter to the alternating current from a direct current of a self-resonance mold, and the resonance frequency is essentially set up by L1 and C1. N1-N4 express the number of turns of a transformer coil. At the time of actuation, a transistor (Q1, Q2) flows by turns, and switches input voltage over each of a coil (N1, N2). When the transistor (Q1) has flowed, input voltage is impressed over a coil (N1). The polar corresponding electrical potential difference will be impressed to other coils. The electrical potential difference by which induction is carried out to a coil (N4) considers the base of a transistor (Q2) as plus, and flows that the very small voltage drop between collector emitters is also through a transistor (Q1). The electrical potential difference by which induction was carried out to the coil (N4) holds a transistor (Q2) to a cut off state again. A transistor (Q1) flows until the magnetic flux of a transformer (TX1) incore reaches saturation.

[0003] At the time of saturation, the electrical potential difference by which the collector voltage of a transistor (Q1) rises rapidly (to value determined by the base circuit), and induction is carried out to a transformer decreases rapidly. A transistor (Q1) separates from a saturation state, VCE goes up, and the electrical potential difference covering a coil (N1) decreases further. By reduction of a base drive, a transistor (Q1) carries out a turn-off, by this, magnetic flux incore decreases slightly, induction of the current is carried out to a coil (N4), and the turn-on of the transistor (Q2) is carried out. The electrical potential difference by which induction was carried out to the coil (N4) maintains a transistor (Q2) to saturation switch-on until a core is saturated in the reverse sense. Like the point,

actuation of the reverse sense is performed until a switching cycle is completed.

[0004] Although the inverter circuit (16) consists of a small number of components comparatively, it depends for proper actuation of a circuit on the complicated nonlinear interaction between a transistor and a transformer. In addition, a circuit (16) is inapplicable to a parallel connected type transformer configuration because of the error (allowable error typically of 35%) in C1, Q1, and Q2. The reason is because further clock frequency which resonates that superposition of a circuit (16) is also at a certain kind of harmony frequency and which is not desirable is generated. When applied to a CCFL load, a circuit will bring a "beat (flapping)" phenomenon to CCFLs. This is a conspicuous phenomenon and is a phenomenon which is not desirable. Even if allowable errors conform strictly, a beat phenomenon cannot be removed when superposition of a circuit has the clock frequency of a proper for a circuit (16) operating by self-resonance mode.

[0005] Some of other drive systems can be found out to U.S. Pat. No. 5,430,641, U.S. Pat. No. 5,619,402, U.S. Pat. No. 5,615,093, and U.S. Pat. No. 5,818,172. These reference is all the things of low effectiveness, and it is the thing of two steps of power conversion, and is the thing of a frequency-drift mold, and/or is a load-dependent thing. In addition, when the load is equipped with one or more CCFL(s) and assemblies, suspension capacitance will be introduced and it will have a bad influence on the own impedance of CCFL. In order to constitute effectively the circuit which can operate proper, a circuit must be constituted in consideration of the suspension impedance for driving a CCFL load. Such efforts make it difficult it will not only to become expensive, but [ while taking time amount, ] to face dealing with various loads and to obtain the optimal converter configuration. therefore -- while being able to conquer the above-mentioned fault -- efficient -- the dependability of CCFLs -- the circuit means which can perform high ignition, performs power control independent of a load, and can perform power conversion by the single frequency was demanded.

[0006]

[Means for Solving the Problem] Therefore, this invention can offer the system optimized for the drive of a load, can obtain the optimal actuation of various LCD panel loads, and, thereby, may raise the dependability of a system.

[0007] If it says roughly, this inventions will be DC / AC converter circuit for transmitting power, controlling to a load. They are two or more switches which make two or more switches which make the 1st set alternatively connected to the source of input voltage, and; voltage source, and which are overlapped mutually, and the 2nd set and which are overlapped mutually. In this case, two or more switches which make the 1st set form the 1st electric conduction path, and two or more switches which make the 2nd set are having the 2nd electric conduction path formed. The converter circuit possessing two or more switches which make two or more switches which make the 1st set, and which are overlapped mutually, and the 2nd set and which are overlapped mutually, and; is offered. The pulse generator for generating a pulse signal is formed. A drive circuit receives a pulse signal and controls the conductive state of two or more switches which make the 1st set and the 2nd set. While having the upstream and secondary, the transformer by which a voltage source is alternatively connected to the upstream by going via the 1st electric conduction path and the 2nd electric conduction path in alternation is prepared. A load is connected to secondary [ of a transformer ]. A feedback loop circuit is arranged between a load and a drive circuit, and supplies the feedback signal showing the power supplied to a load. A drive circuit controls the overlap time amount during two or more switches in the 2nd set, is partially based on a feedback signal and a pulse signal at least by this, and connects a voltage source and the upstream while it switches in alternation the conductive state of two or more switches which make the 1st set and the 2nd set and controls the overlap time amount during two or more switches in the 1st set.

[0008] The drive circuit is constituted so that the 1st complementation pulse signal can be generated from a pulse signal, and so that an inclination signal can be generated from a pulse signal. A pulse signal is supplied to the 1st switch of two or more switches which make the 1st set, and control of the switch-on of the

1st switch is presented with it. An inclination signal By being compared with a feedback signal at least, the 2nd pulse signal is generated and, thereby, the overlap condition between the switch-on of the 1st switch of two or more switches and the switch-on of the 2nd switch which make the 1st set is controlled. The 2nd pulse signal is supplied to the 2nd switch of two or more switches which make the 1st set, and control of the switch-on of the 2nd switch is presented with it. Further, a drive circuit generates the 2nd complementation pulse signal based on the 2nd pulse signal, and controls each switch-on of the 1st switch of two or more switches with which the 1st and 2nd complementation pulse signal makes the 2nd set, and the 2nd switch. Similarly, the overlap condition between the switch-on of the 1st switch of two or more switches and the switch-on of the 2nd switch which make the 2nd set is controlled.

[0009] In the mode of an approach, this invention offers the approach for facing transmitting power to a load and controlling using a null voltage switching circuit.

[0010] In this case, while connecting the 1st transistor and the 2nd transistor for preparing DC voltage source and forming the 1st electric conduction path to; voltage source and the upstream of a transformer As opposed to a voltage source and the upstream of a transformer So that the 3rd transistor and the 4th transistor for forming the 2nd electric conduction path may be connected and it may have; predetermined pulse width By carrying out, generating a pulse signal, connecting; load to secondary [ of a transformer ], generating the feedback signal from; load, and controlling; feedback signal and a pulse signal The switch-on of the 1st transistor, the 2nd transistor, the 3rd transistor, and the 4th transistor is determined.

[0011] It is a converter circuit for this invention to transmit power to a CCFL load in the 1st operation gestalt. Form the 1st electric conduction path between the transformers,; voltage sources, and the upstream which have a voltage source,; upstream, and secondary. Form the 2nd electric conduction path between the switch which makes the 1st pair, and a voltage source and the upstream. It connects to the pulse generator and; load for generating the CCFL load circuit



and; pulse signal which were connected with the switch which makes the 2nd pair; secondary. While receiving the feedback circuit; pulse signal, and the feedback signal for generating a feedback signal The drive circuit for connecting the switch which makes the switch which makes the 1st pair based on a pulse signal and a feedback signal so that power can be supplied to a CCFL load, or the 2nd pair to a voltage source and the upstream, and the converter circuit possessing; are offered.

[0012] In addition, in the 1st operation gestalt, the pulse generation machine which generates a pulse signal with predetermined frequency is offered. A drive circuit is equipped with the 1st drive circuit, the 2nd drive circuit, the 3rd drive circuit, and the 4th drive circuit, the switch which makes the 1st pair has the 1st transistor and the 2nd transistor, and the switch which makes the 2nd pair has the 3rd transistor and the 4th transistor. The 1st drive circuit, the 2nd drive circuit, the 3rd drive circuit, and the 4th drive circuit are connected to the control lines of the 1st transistor, the 2nd transistor, the 3rd transistor, and the 4th transistor. A pulse signal is supplied to the 1st drive circuit, and, thereby, the 1st transistor is switched according to a pulse signal. The 3rd drive circuit generates the 1st complementation pulse signal and an inclination signal based on a pulse signal, and supplies the 1st complementation pulse signal to the 3rd transistor further, and, thereby, the 3rd transistor is switched according to the 1st complementation pulse signal. The 2nd pulse signal is generated by comparing an inclination signal with a feedback signal. The 2nd pulse signal is supplied to the 2nd drive circuit, and, thereby, the 2nd transistor is switched according to the 2nd pulse signal. The 4th drive circuit generates the 2nd complementation pulse signal based on the 2nd pulse signal, and supplies the 2nd complementation pulse signal to the 4th transistor further, and, thereby, the 4th transistor is switched according to the 2nd complementation pulse signal. In this invention, the coincidence flow between the 1st transistor and the 2nd transistor and the coincidence flow between the 3rd transistor and the 4th transistor, and \*\*\*\*\* control the power supplied to a load. It is generated as only the specified quantity

overlaps a pulse signal and the 2nd pulse signal, and thereby, power is supplied to a load through the 1st electric conduction path. It is generated as only the specified quantity is overlapped also with the 1st complementation pulse signal and the 2nd complementation pulse signal, and thereby, power is supplied to a load through the 2nd electric conduction path in [ the 1st electric conduction path ] alternation by generating the 1st complementation pulse signal and the 2nd complementation pulse signal from each of a pulse signal and the 2nd pulse signal.

[0013] Moreover, it is generated that a pulse signal and the 1st complementation pulse signal are also at the phase contrast of about 180 degrees, the 2nd pulse signal and the 2nd complementation pulse signal are generated as it is also at the phase contrast of about 180 degrees, and thereby, generating of the short circuit between the 1st electric conduction path and the 2nd electric conduction path is prevented.

[0014] Only when in addition to the converter circuit offered in the 1st operation gestalt it connects with the 2nd pulse signal and the 3rd transistor is switched to switch-on in the 2nd operation gestalt, the flip-flop circuit which supplies the 2nd pulse signal to the 2nd drive circuit is prepared. In addition, the 2nd operation gestalt possesses the phase locked loop (PLL) circuit with the 1st input signal from the upstream, and the 2nd input signal which used the feedback signal. A PLL circuit compares the phase contrast between the 1st input and the 2nd input, and in order to control the pulse width of a pulse signal based on this phase contrast, it transmits a control signal to a pulse generation machine.

[0015] The desirable circuit is equipped with the feedback control loop with the 1st comparator for comparing a feedback signal with a reference sign and generating the 1st output signal in both operation gestalten. The 2nd comparator for comparing the 1st output signal with an inclination signal, and generating the 2nd output signal based on the crossover between these 1st output signals and an inclination signal is prepared. Furthermore, a feedback circuit shall be equipped with a switching circuit between the current detector for receiving a

feedback signal and generating a trigger signal preferably, and the 1st comparator and the 2nd comparator, a switching circuit shall receive a trigger signal, and it shall be generated based on the value of a trigger signal whether it is the 1st output signal or it is the predetermined minimum signal. A reference sign can be made into the signal manually generated as what shows the desirable power which should be supplied to a load. The predetermined minimum voltage signal can be made into the programmable minimum electrical potential difference supplied to a switch, and, thereby, an overvoltage is not impressed to a load.

[0016] The overcurrent protection network which similarly receives a feedback signal as an input in an operation gestalt to both sides, and controls a pulse generation machine based on the value of a feedback signal can be prepared. The overvoltage protection circuit which controls a pulse generation machine based on the value of the voltage signal which receives the voltage signal and the 1st output signal concerning a load, compares these voltage signals with the 1st output signal, and is built over a load can be prepared.

[0017]

[Embodiment of the Invention] In the following detailed explanation, although explained with reference to a desirable operation gestalt and desirable operation, if it is this contractor that this invention is what is not limited to these desirable operation gestalt and desirable operation, I will be understood. Rather, this invention has the large range and is limited by the attached generic claim.

[0018] Other focus and advantages of this invention will become clear by detailed explanation of the following which referred to the accompanying drawing.

[0019] It is mere instantiation, and although this invention is not restricted, in the following detailed explanation, it explains with reference to the CCFL panel as a load of the circuit by this invention. However, this invention is not limited to the drive of one or more CCFL(s), and it should be considered that it is the general power converter circuit and general approach which are not restricted to the specific load in specific application.

[0020] If it surveys, this invention will offer the circuit for controlling the electric power supply to a load by adjusting the ON time amount of two pairs of switches using a feedback signal and a pulse signal. When the turn-on of the switch with which they make one pair as each ON time amount overlaps mutually is controlled, power is supplied to a load (minding a transformer) via the electric conduction path formed by the switch which makes the pair of one of these.

When the turn-on of the switch with which similarly they make the pair of another side as each ON time amount overlaps mutually is controlled, power is supplied to a load (minding a transformer) via the electric conduction path formed by the switch which makes the pair of the another side. Therefore, in this invention, the power supplied to the given load is correctly controllable by controlling the overlap during switches again by carrying out the turn-on of the switch alternatively. In addition, in this invention, when the short circuit of a circuit and disconnection of a circuit occur, it has the overcurrent protection network and overvoltage protection circuit for intercepting the electric power supply to a load. Furthermore, regardless of the resonance phenomenon of the transformer configuration [ irrespective of / a load ] by it being the control system of switching explained here, a circuit can be operated as it is also at single clock frequency.

With reference to an accompanying drawing, it explains below about these focus.

[0021] The circuit diagram shown in drawing 2 shows 1 desirable operation gestalt of the power converter of the null voltage switching type of the phase shift type full wave bridge type by this invention. Two or more switches with which the circuit shown in drawing 2 has essentially been arranged as a switch which makes two or more pairs of the shape of a power source (12) and the diagonal line which forms a mutual flow path (80), The frequency-sweep machine which supplies a square wave pulse to the circuit (50) and drive circuit (50) for driving each switch (22), It has the transformer (TX1) (the resonance tank circuit formed by the upstream and the capacitor (C1) of a transformer (TX1) is attached), and the load. Advantageously, this invention is equipped with the overlap feedback control loop (40) which controls one [ further two or more / at least ] ON time

amount of a switch pair, and enables control of the electric power supply to a load by this.

[0022] The power source (12) is applied to the system. First, bias/reference signal (30) is generated from a power source for a control circuit (to the control circuit within a control loop (40) sake). The rate cycle pulse signal of a load ratio of 50% (namely, square wave signal with which pulse width was made adjustable) in which the maximum frequency begins and a frequency-sweep machine (22) carries out a sweep to it being also at a predetermined rate and a predetermined number of stages caudad preferably is generated. Let a frequency-sweep machine (22) preferably be a programmable frequency generator better known than before. (from a sweep machine (22)) A pulse signal (90) is supplied to B\_drive (drive for controlling the drive for driving switch\_B, i.e., the gate of switch\_B), and is supplied to A\_drive after that. A\_drive generates a complementary pulse signal (92) and an inclination signal (26). Like the after-mentioned, in a complementary pulse signal (92), about 180 degrees of phases shift and, as for an inclination signal (26), about 90 degrees of phases shift from a pulse signal (90) with a pulse signal (90). An inclination signal is preferably made into a serrate signal as shown in drawing. An inclination signal (26) is compared [ the output signal (24) from error amplifier (32), (it being called CMP here), and ] in a comparator (28). Thereby, a signal (94) is generated. Similarly, the output signal (94) from a comparator (28) is 50% of rate cycle pulse of a load ratio, and is supplied to C\_drive. Thereby, the turn-on of switch\_C is started and the amount of overlap during the switches A and D during Switches B and C is determined. The complementary signal (signal with which 180 degrees of phases shifted) of a signal (94) is supplied to switch\_D through D\_drive. I will be understood if it is this contractor to connect to the control line (namely, gate) of switch\_A - switch\_D, respectively, for A\_drive - D\_drive to carry out like the after-mentioned, and for control of a flow of each switch of it to be enabled. Control of a lamp current is obtained by adjusting the amount of overlap during the switches A and D during Switches B and C. In other words, the amount of overlap in the

switch-on of a switch which makes two or more pairs determines the electric energy processed by the converter. Therefore, Switches B and C and Switches A and D are henceforth called the switch overlapped mutually.

[0023] it is instantiation and this invention is not limited -- although kicked -- this operation gestalt -- setting -- B\_drive -- desirable -- a totem pole circuit, a general low impedance operational amplifier circuit, or an emitter follower circuit -- since - it is formed. C\_drive is constituted similarly. As for these drives, it is desirable by not grounding A\_drive and D\_drive directly (that is, it having floated) to be formed in this contractor from a bootstrap circuit which is well-known, or other high-tension-side drive circuits (high side drive circuit). In addition, A\_drive and D\_drive are equipped with the inverter [ like ] which reverses the signal which flows from each of B\_drive and C\_drive (that is, a phase is reversed) as mentioned above.

[0024] Efficient actuation is obtained by the null voltage switching technique. After each proper diode (D1-D4) flows, the turn-on of the four MOSFETs(es) (switch\_A - switch\_D) (80) is carried out. In case the current distribution channel of the energy in a transformer / capacitor (TX1/C1) configuration is brought about, therefore each switch carries out a turn-on by this, it is secured that the electrical potential difference covering a switch is null voltage. In such a control system, switching loss is minimized and a well head is maintained.

[0025] Switching operation with a desirable overlap mold switch (80) is shown in drawing 3 (a) - drawing 3 (f). After switch\_C is in the condition that the both sides of switch\_B and C flowed, the turn-off of it is carried out in a predetermined period. The current which flows the inside of a tank (refer to drawing 2 ) flows through the diode in switch\_D (D4) ( drawing 3 (e)), the upstream of a transformer, a capacitor (C1), and switch\_B, when [ this ] the turn-off of switch\_C is carried out. In a capacitor (C1) and a transformer, the resonance of an electrical potential difference and a current takes place as a result of the energy supplied by this when switch\_B and C had flowed ( drawing 3 (f)). When it blocks a faraday rule that the direction of a current of the upstream of a transformer

changes in instant, note that this situation needs to happen. Therefore, in case switch\_C carries out a turn-off, a current must flow through diode (D4). Similarly, the turn-off of the switch\_B is carried out ( drawing 3 (a)), and a current flows the diode (D1) relevant to switch\_A, before the turn-on of the switch\_A is carried out ( drawing 3 (e)). Similarly, the turn-off of the switch\_D is carried out ( drawing 3 (d)), and a current flows via a capacitor (C1), the upstream of a transformer, and diode (D3) from switch\_A in this case. After diode (D3) flows ( drawing 3 (e)), the turn-on of switch\_C is carried out. After the turn-off of the switch\_A is carried out, the turn-on of the switch\_B is carried out. In this case, it can flow through diode (D2) first rather than switch\_B carries out a turn-on. Notice the diagonal line-like switches B and C and the overlap of the turn-on time of A and D about being decided with the energy which should be supplied to a transformer as shown in drawing 3 (f).

[0026] In this operation gestalt, drawing 3 (b) shows that an inclination signal (26) is generated only when the turn-on of the switch\_A is carried out. Therefore, A\_drive which generates an inclination signal (26) is preferably equipped with the constant current generation circuit (not shown). This constant current generation circuit is equipped with the capacitor with a suitable time constant so that an inclination signal can be generated. For this purpose, a reference current (not shown) is used and this capacitor is charged. This capacitor is grounded as a discharge rate exceeds a charge rate (minding for example, a transistor switch), and thereby, a serrate inclination signal (26) is generated. It can obtain, when an inclination signal accumulates a pulse signal (90) as mentioned above with a natural thing. Therefore, an inclination signal (26) can be formed using an integrating circuit (for example, an operational amplifier and a capacitor).

[0027] It sets at an ignition period and the overlap between two diagonal line-like switches (namely, overlap during Switches A and D and overlap during Switches B and C) is considered as the minimum predetermined overlap. This gives the minimum energy from an input side to the tank circuit containing a capacitor (C1), a transformer, a capacitor (C2, C3), and a CCFL load. Notice a load about it

being possible to also consider as a resistance load, to also consider as a capacitive load, and to also consider as the load of these hybrid models. It is started from the predetermined maximum frequency and drive frequency approaches a tank circuit, the equal circuit reflected by secondary [ of a transformer ], and the resonance frequency of \*\*. The great portion of energy is supplied to the load to which CCFL is connected. Before ignition, CCFL receives the high voltage from the energy supplied to the upstream by being a high impedance characteristic. This electrical potential difference is big enough to making CCFL light. The impedance of CCFL decreases to a normal operation value (for example, about 100 Kohm-130 K ohms). The energy supplied to the upstream based on the minimum overlap actuation is not enough any longer, in order to maintain steady state actuation of CCFL. The output from error amplifier (26) starts the function so that overlap may be increased. In this case, the output level from error amplifier determines the amount of overlap. For example, it is as follows.

[0028] As shown in drawing 3 (b), drawing 3 (c), and the feedback loop (40) of drawing 2 , when an inclination signal (26), (it being generated by A\_drive), and having become equal to the value of a CMP signal (24) and (being generated by error amplifier (32)) are checked by the comparator (28), it is important that it is cautious of the turn-on of switch\_C being carried out. This is shown as the crossover point (36) in drawing 3 (b). In order to avoid the short circuit of a circuit, Switches A and B, and C and D must not never become coincidence with an ON state. By controlling CMP level, the overlap time amount between Switches A, D, and B and C controls the energy supplied to a transformer. In order to adjust the energy supplied to a transformer, Switches C and D are shifted in time to Switches A and B by controlling CMP (24) which is an output from error amplifier (and in order for this to adjust the energy supplied to a CCFL load). When the driving pulse from the output of a comparator (28) to into Switches C and D is shifted to right-hand side by increasing CMP level so that I may be understood from a timing chart, the overlap between Switches A, C, and B and D increases,



and, thereby, the energy supplied to a transformer increases. In fact, this corresponds to high current actuation of a lamp. On the contrary, the energy supplied decreases by shifting the driving pulse of Switches C and D to left-hand side (a CMP signal being decreased).

[0029] For this purpose, error amplifier (32) compares a feedback signal (FB) with reference voltage (REF). FB is detection resistance (RS). It is as a result of [ of the current value to depend ] measurement. In this case, the measurement current value expresses all the currents that flow a load (20). REF is a signal showing desired loaded condition, for example, is a request current value which flows a load. At the time of normal operation, it is  $REF=FB$ . However, when loaded condition is intentionally shifted by the modulated light switch which accompanied for example, the LCD panel display when loaded condition was shifted intentionally, the value of REF will increase or decrease in connection with it. Therefore, CMP is generated by the compared value. The value of CMP is reflection of loaded condition and/or intentional bias, and is calculated as a difference between REF and FB (namely,  $REF-FB$ ).

[0030] in order to protect a load and a circuit from disconnection (for example, CCFL lamp open condition at the time of normal operation) of the place of a load -- FB signal -- moreover, it is preferably compared with a reference value (this reference value is not illustrated and that of an above-mentioned REF signal is another) at the place of a detection current comparator (42). The output from a detection current comparator (42) determines the condition of a switch (38) like the after-mentioned. The reference value in this case should be made programmable, and/or it should consider as what can be set up by the user, and the minimum current or maximum current (for example, thing which is especially estimated to each member like a CCFL load) permitted by the system should be reflected preferably. If the value of a feedback signal (FB) and a reference sign is in tolerance (normal operation), the output of a current detection comparator will be set to 1 (or HIGH). Thereby, CMP can pass a switch (38), and a circuit operates as mentioned above and supplies power to a load. However, when the

value of a feedback signal (FB) and a reference sign has exceeded tolerance (a circuit opening condition or circuit short circuit condition), the output of a current detection comparator is set to 0 (or LOW), and it is prohibited to a CMP signal from passing a switch (38) (reverse is also materialized as a switch carries out the trigger of the LOW condition with a natural thing). In this case, a detection current comparator is RS. By the switch (38), the minimum electrical potential difference  $V_{min}$  (not shown) is supplied, and it is supplied to a comparator (28) until it is shown that the flowing current is an allowed value. Therefore, the switch (38) is equipped with a suitable programmable selector which chooses  $V_{min}$  when a detection current output is zero. When drawing 3 (b) is referred to again, the effectiveness of this actuation is CMP. It is lowering DC value to nominal value or the minimum value (namely,  $CMP = V_{min}$ ). Thereby, high-voltage conditions do not occur in a transformer (TX1). Therefore, the crossover point 36 is shifted to left-hand side, and, thereby, the amount of overlap during complementary switches decreases (please recollect that the turn-on of switch\_C is carried out in the crossover point (36)). Similarly, it connects also to the frequency generator (22), and a detection current comparator (42) carries out the turn-off of the frequency generator (22), when a detection current frequency is 0 (beforehand set point [ Or a circuit opening condition is shown. others of some kind ]). CMP is supplied in a protection network (62). This is for carrying out the turn-off of the frequency-sweep machine (22), when CCFL is removed at the time of actuation (circuit opening condition).

[0031] In order to protect a circuit from an overvoltage situation, in this operation gestalt, the protection network (60) is prepared preferably. Actuation of a protection network (60) is explained below (about the overcurrent protection which uses a detection current comparator (42), it is as above-mentioned). The protection network (60) is equipped with the comparator for protection (62) for comparing a CMP signal with the voltage signal (66) acquired from a load (20). Preferably, a voltage signal is acquired from voltage drivers C2 and C3 (namely, voltage driver connected to juxtaposition to the load (20)), as shown in drawing 2 .

In a lamp disconnection condition, a frequency-sweep machine continues a sweep until an OVP signal (66) reaches a threshold. An OVP signal (66) is extracted from the output of the capacitor mold distributors C2 and C3, in order to detect the output voltage of a transformer (TX1). In order to simplify analysis, these capacitors express the lamp capacitor of equivalence load capacitance again. A threshold is a reference value, and although the secondary electrical potential difference of a circuit of a transformer is smaller than the evaluation electrical potential difference of a transformer, it is constituted so that it may become bigger than the minimum critical voltage (for example, the minimum critical voltage which is required by the LCD panel). When OVP exceeds a threshold, a frequency-sweep machine suspends the sweep of a frequency. On the other hand, a detection current comparator (42) does not detect the signal covering the resistance for detection (RS). Therefore, the signal (24) which outputs a switch block (38) is set to the minimum value, and the amount of overlap between Switches A, C, and B and D serves as min. Preferably, from the time of OVP exceeding a threshold, a timer (64) is started and, thereby, a halt sequence is started. The duration of a halt is preferably decided according to the demand of a load (for example, CCFLs with the LCD panel). However, the duration of a halt can also be set to some programmable values. After a primary halt, a driving pulse is forbidden and, thereby, the output from a converter circuit serves as insurance actuation. That is, a circuit (60) will stop after a predetermined period, when the lamp of what brings about sufficient electrical potential difference for ignition on a lamp is not connected to the converter. For this reason, outputting the unprepared high voltage is prevented. Because of the behavior as a lamp disconnection condition with the same lamp which was not lit being shown, such halt duration is required.

[0032] Drawing 4 and drawing 5 (a) - drawing 5 (f) show other desirable operation gestalten of the DC/AC converter circuit by this invention. In this operation gestalt, a circuit operates the same with having explained drawing 2 and drawing 3 (a) - drawing 3 (f). However, this operation gestalt is further

equipped with the phase locked loop circuit (PLL) (70) for controlling a frequency-sweep machine (22), and the flip-flop circuit (72) for taking the timing of a signal input into C\_drive. When 50% driving pulse of Switches C and D increases CMP level and it is shifted to right-hand side so that I may be understood from a timing chart, the overlap between Switches A, C, and B and D increases, and, thereby, the energy supplied to a transformer increases. In fact, this corresponds to high current actuation of a lamp (for example, needed by increasing a REF electrical potential difference manually as mentioned above). On the contrary, the energy supplied decreases by shifting the driving pulse of Switches C and D to left-hand side (a CMP signal being decreased). A phase locked loop circuit (70) maintains the phase relation between the feedback (based on RS) current at the time of normal operation, a tank (based on TX1/C1) current, and \*\*, as shown in drawing 4 . a PLL circuit (70) -- desirable -- a tank circuit (upstream of C1 and TX1) signal (98), and RS from -- it has the signal (above-mentioned FB signal) as an input signal. CCFL is lit and the current in CCFL is RS. After being detected, a PLL circuit (70) is started and the phase relation between a lamp current, the current in a primary resonance tank (C1 and transformer upstream), and \*\* is locked. That is, PLL can adjust the frequency of a frequency-sweep machine (22) about all the suspension factors that bring about effect to the capacitance and inductance like distance between the mechanical components, and the lamps and the metal chassis of the LCD panel like the wire between a temperature effect, a converter, and the LCD panel. Preferably, a system is [ a resonance tank circuit and ] RS. The current (load current) along which it passes, and the phase contrast between \*\*s are maintained at 180 degrees. Therefore, a system finds out the optimal point of operation also regardless of the clock frequency of a resonance tank circuit also on specific load conditions.

[0033] Actuation of the feedback loop in the circuitry of drawing 4 is the same as that of what was mentioned above about drawing 2 . However, in this operation gestalt, the timing of the signal output initiation to C\_drive is controlled by the flip-flop (72) to be shown in drawing 5 (b). For example, at the time of normal

operation, the output from error amplifier (32) is controlled through a switch block (38) and (\*\*\*\*), and is given as a signal (24) as a result. The amount of overlap between Switches A, C, and B and D is controlled through a comparator (28) and a flip-flop (72). A flip-flop (72) drives Switches C and D (please recollect that D\_drive generates a signal with complementary C\_drive). Thereby, the stationary actuation to a CCFL (panel) load is brought about. When CCFL (panel) has been removed at the time of normal operation, CMP pulls up the rail (criteria) of the output of error amplifier, and starts a protection network immediately. This function is forbidden to an ignition period.

[0034] Alternation-like [ the trigger of the switches C and D which let C\_drive and D\_drive pass ] as a result of a flip-flop circuit (72) in this operation gestalt as shown in drawing 5 (a) - drawing 5 (f). As shown in drawing 5 (b), a flip-flop performs a trigger on a target one by one. For this reason, C\_drive is started (and D\_drive is started on a target one by one). About the other mode of operation, it operates as well as having mentioned above with reference to drawing 3 (a) - drawing 3 (f).

[0035] Now, drawing 2 or the activation result of the output circuit of 4 is shown in drawing 6 - drawing 11 . For example, drawing 6 shows that an output serves as 16.7 KVp-p, when a swept frequency generation machine is set to 75.7kHz (overlap of 0.5 microseconds) to an input called 21V. This electrical potential difference is insufficient for ignition of CCFL to the turn-on of CCFL, when 3300 \*\*\*\*-p is required. When a frequency decreases even to a 68KHz grade, the minimum overlap generates about 3.9 KVp-p in an output. This is enough for ignition of CCFL. This situation is shown in drawing 7 . In this frequency, overlap increases to 1.5 microseconds, an output called about 1.9 KVp-p is brought about, and the lamp of the impedance which is 130Kohm is driven. This situation is shown in drawing 8 . As other examples, drawing 9 shows actuation in case input voltage is set to 7V. In 71.4kHz, outputs are 750 \*\*\*\*-p before ignition on a lamp. If a frequency decreases, output voltage will increase until a lamp is lit. Drawing 10 shows that an output serves as 3500 \*\*\*\*-p in 65.8kHz. As control of

a CCFL circuit can support an impedance called 130Kohm after ignition, it is obtained by controlling overlap. The electrical potential difference covering CCFL to a lamp called 660Vrms(es) is 1.9 KVP-p. This situation is shown in drawing 11 . Although not illustrated, the activation result of the circuit of drawing 4 also serves as the same behavior.

[0036] The difference between the 1st operation gestalt and the 2nd operation gestalt (namely, existence of the flip-flop and PLL in drawing 4 ) does not bring about effect to the whole parameter of operation as shown in drawing 6 - drawing 11 . However, the addition of PLL is for canceling the impedance which is generated in a circuit and which is not desirable, and can be added also to the circuit shown in drawing 2 . Moreover, a current regulator circuit is omissible as mentioned above by adding a flip-flop.

[0037] Therefore, it is clear that an efficient ecad DC/AC converter circuit which fulfills the above-mentioned purpose and an above-mentioned target is brought about. Probably, it will be clear to this contractor that modification can be added. for example, in this invention, also although kicked, if it is this contractor, the thing for which it has indicated using MOSFETs for switching and which reconstruct the whole circuit will be recognized so that a BJT transistor may be used, or so that it may be used combining the transistor of the type of the arbitration like MOSFETs or BJTs -- I will come out. Other modification is possible. For example, the drive circuit relevant to B\_drive and D\_drive can be equipped with a circuit usual collector type. It is because the related transistor is grounded, therefore it has not floated. Preferably, the PLL circuit indicated here is a general PLL circuit (70) well-known to this contractor, and it can be appropriately changed so that an input signal may be received as mentioned above and a control signal can be generated further. Preferably, pulse generators (22) are a Pulse-Density-Modulation circuit (PWM), frequency-span modulation circuits (FWM), or these both sides so that \*\*\*\* [ this contractor ]. Similarly, a protection network (62) and a timer can be constituted from a well-known circuit, and they can be appropriately changed so that it may operate as

mentioned above. Probably, modification of other circuits will also be clear to this contractor. Such all modification belongs to the pneuma of this invention specified by the attached generic claim, and within the limits.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the DC/AC converter circuit by the conventional technique.

[Drawing 2] It is drawing showing 1 desirable operation gestalt of the DC/AC converter circuit by this invention.

[Drawing 3] Drawing 3 (a) - drawing 3 (f) are drawings showing the example of the timing in the circuit of drawing 2 .

[Drawing 4] It is drawing showing other desirable operation gestalten of the DC/AC converter circuit by this invention.

[Drawing 5] Drawing 5 (a) - drawing 5 (f) are drawings showing the example of the timing in the circuit of drawing 4 .

[Drawing 6] It is drawing showing the activation result of the circuit shown in drawing 2 and drawing 4 .

[Drawing 7] It is drawing showing the activation result of the circuit shown in drawing 2 and drawing 4 .

[Drawing 8] It is drawing showing the activation result of the circuit shown in drawing 2 and drawing 4 .

[Drawing 9] It is drawing showing the activation result of the circuit shown in drawing 2 and drawing 4 .

[Drawing 10] It is drawing showing the activation result of the circuit shown in drawing 2 and drawing 4 .

[Drawing 11] It is drawing showing the activation result of the circuit shown in drawing 2 and drawing 4 .

[Description of Notations]

12 Power Source

20 Load

22 Frequency-Sweep Machine

26 Inclination Signal

28 Comparator

38 Switch Block

40 Control Loop

42 Detection Current Comparator

50 Drive Circuit

60 Protection Network

62 Comparator for Protection

64 Timer

70 Phase Locked Loop Circuit (PLL Circuit)

72 Flip-flop Circuit

80 Switch

90 Pulse Signal

92 Complementary Pulse Signal

TX1 Transformer

---



[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

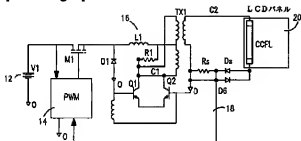
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

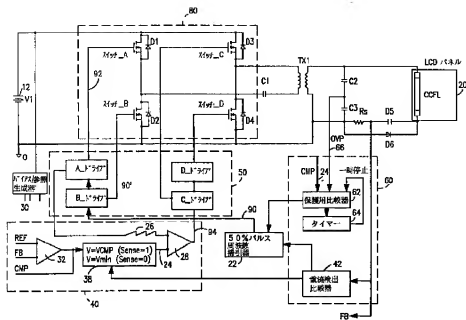
## DRAWINGS

---

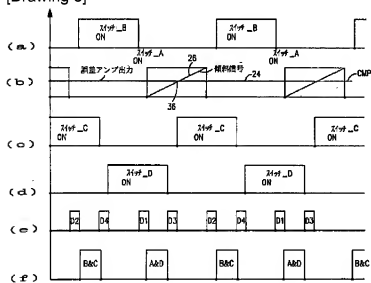
[Drawing 1]



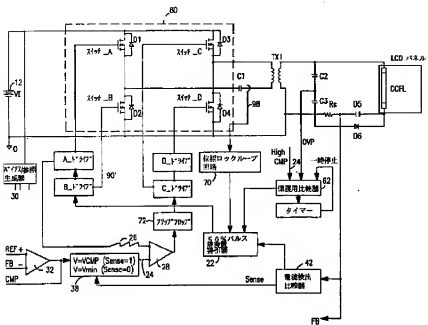
[Drawing 2]



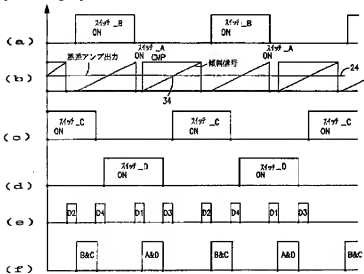
[Drawing 3]



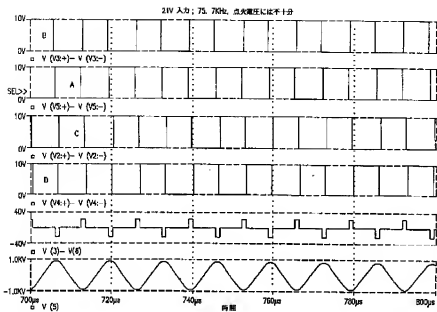
[Drawing 4]



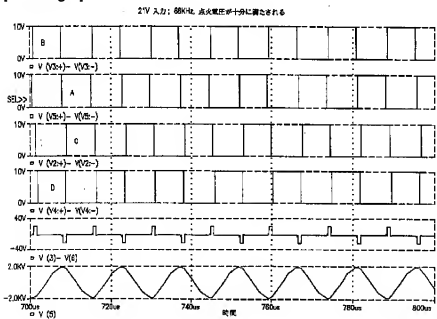
[Drawing 5]



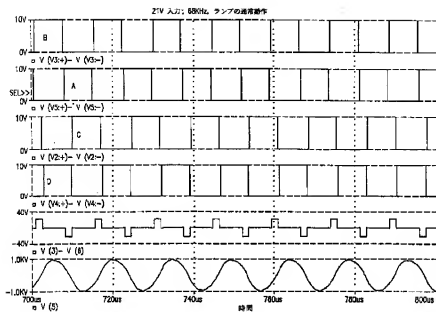
[Drawing 6]



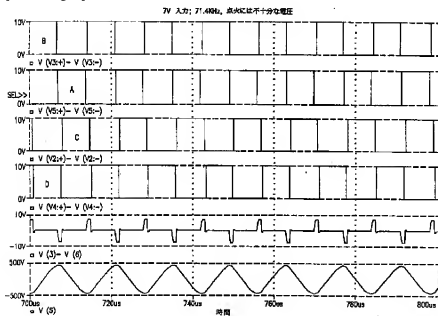
[Drawing 7]



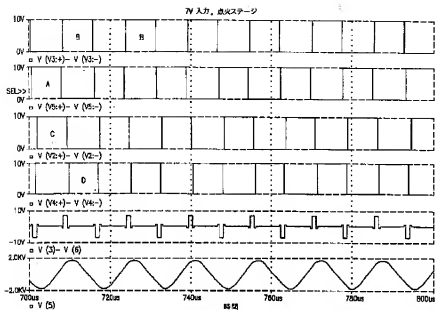
[Drawing 8]



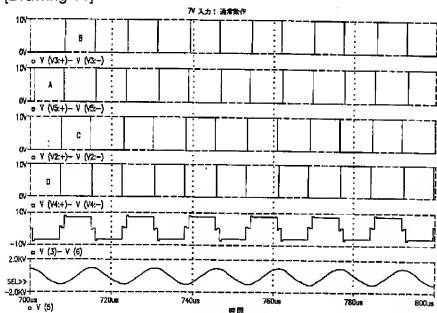
[Drawing 9]



[Drawing 10]



[Drawing 11]



[Translation done.]

|                               |                          |               |   |
|-------------------------------|--------------------------|---------------|---|
| (51) Int.Cl. <sup>7</sup>     | 識別記号                     | F I           | テレポート (参考)                                    |
| H 0 2 M 7/48                  |                          | H 0 2 M 7/48  | A 3 K 0 7 2                                   |
|                               | 7/5387                   |               | M 5 H 0 0 7                                   |
| H 0 5 B 41/24                 |                          | H 0 5 B 41/24 | Z   |
|                               |                          |               | K   |
|                               |                          |               | G   |
| 審査請求 未請求 請求項の数12 O L (全 18 頁) |                          |               |   |
| (21) 出願番号                     | 特願2001-8143 (P2001-8143) | (71) 出願人      | 598137766                                     |
| (22) 出願日                      | 平成13年1月16日 (2001.1.16)   |               | オーツ・マイクロ・インターナショナル・リミテッド                      |
|                               |                          |               | O▲2▼ Micro International Ltd.                 |
|                               |                          |               | 英領西インド諸島連邦、ケイマン・アイランズ、グランド・ケイマン、私書箱ジューティー1794 |
|                               |                          | (74) 代理人      | 100064908                                     |
|                               |                          |               | 弁理士 志賀 正武 (外7名)                               |

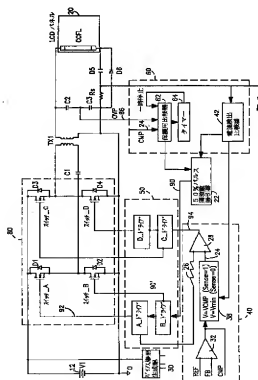
最終頁に続く

## (54) 【発明の名称】 高効率逆型DC/ACコンバータ

## (57) 【要約】

【課題】 負荷の駆動のために最適化されたシステムを提供すること。

【解決手段】 負荷20に対して制御しつつ電力を伝達するためのDC/ACコンバータ回路であって、電源12と；複数のスイッチA〜Dと；パルス発生器22と；スイッチA〜Dの導電状態を制御するための駆動回路50と；変圧器TX1と；負荷20と；フィードバックループ回路と；駆動回路50は、第1組内の複数のスイッチどうしの間のオーバーラップ時間を制御するとともに、第2組内の複数のスイッチどうしの間のオーバーラップ時間を制御し、これにより、負荷に供給すべき電力を制御している。



## 【特許請求の範囲】

【請求項1】 負荷に対して制御しつつ電力を伝達するためのDC/ACコンバータ回路であって、

入力電圧源と；該電圧源に対して選択的に接続される第1組をなす互いにオーバーラップする複数のスイッチおよび第2組をなす互いにオーバーラップする複数のスイッチであって、この場合、第1組をなす複数のスイッチが第1導電経路を形成し、第2組をなす複数のスイッチが第2導電経路を形成するものとされている。第1組をなす互いにオーバーラップする複数のスイッチおよび第2組をなす互いにオーバーラップする複数のスイッチと；パルス信号を生成するためのパルス発生器と；前記パルス信号を受領するとともに、前記第1組および前記第2組をなす複数のスイッチの導電状態を制御するための駆動回路と；一次側と二次側とを有しているとともに、前記一次側に、前記第1導電経路と前記第2導電経路とを交互的に経由することによって前記電圧源が選択的に接続されるようになっている、変圧器と；該変圧器の前記二次側に接続された負荷と；該負荷と前記駆動回路との間に配置され、前記負荷に対して供給される電力を表すフィードバック信号を供給するための、フィードバックループ回路と；を具備してなり、

前記駆動回路は、前記第1組および前記第2組をなす複数のスイッチの導電状態を交互的に切り換えて、前記第1組内の複数のスイッチどうしの間のオーバーラップ時間を制御するとともに、前記第2組内の複数のスイッチどうしの間のオーバーラップ時間を制御し、これにより、前記フィードバック信号および前記パルス信号に少なくとも部分的に基づいて、前記電圧源と前記一次側とを接続するようになっていることを特徴とする回路。

【請求項2】 請求項1記載の回路において、前記入力電圧源が、DC電圧源であることを特徴とする回路。

【請求項3】 請求項1記載の回路において、前記駆動回路が、前記パルス信号とは相補的な第1相補パルス信号と；傾斜信号と；を生成し、

前記パルス信号は、前記第1組をなす複数のスイッチのうちの第1スイッチに対して供給されて、該第1スイッチの導電状態の制御に供され、

前記傾斜信号が、少なくとも前記フィードバック信号と比較されることにより、第2パルス信号が生成され、該第2パルス信号は、前記第1組をなす複数のスイッチのうちの第2スイッチに対して供給されて、該第2スイッチの導電状態の制御に供され、

これにより、前記第1組をなす複数のスイッチの前記第1スイッチの導電状態と前記第2スイッチの導電状態との間におけるオーバーラップ状態が、制御されるようになっており、前記駆動回路が、さらに、前記第2パルス信号に基づいて第2相補パルス信号を生成し、

前記第1および前記第2相補パルス信号が、前記第2組をなす複数のスイッチのうちの第1スイッチおよび第2スイッチのそれぞれの導電状態を制御し、

これにより、前記第2組をなす複数のスイッチの前記第1スイッチの導電状態と前記第2スイッチの導電状態との間におけるオーバーラップ状態が、制御されるようになっていたことを特徴とする回路。

【請求項4】 請求項3記載の回路において、前記第1組および前記第2組をなす複数のスイッチが、MOSFETトランジスタを備えていることを特徴とする回路。

【請求項5】 請求項4記載の回路において、前記各トランジスタが、前記電圧源に対して逆バイアスとされた状態で各トランジスタに対して並列接続されている固有スイッチを備え、

これら固有スイッチの各々は、それぞれのトランジスタが非導電状態とされているときには前記電圧源と前記一次側との間に導電経路を形成することによって前記変圧器の前記一次側内に貯蔵されたエネルギーを放出するようになっていることを特徴とする回路。

【請求項6】 請求項5記載の回路において、前記固有スイッチが、ダイオードであることを特徴とする回路。

【請求項7】 請求項3記載の回路において、前記パルス信号と前記第1相補パルス信号との間の位相差が、約180°であり、

前記第2パルス信号と前記第2相補パルス信号との間の位相差が、約180°であり、

これにより、前記第1導電経路と前記第2導電経路との間の短絡が発生しないものとされていることを特徴とする回路。

【請求項8】 請求項7記載の回路において、前記第1組をなす複数のスイッチの導電状態と前記第2組をなす複数のスイッチの導電状態とが、前記負荷に対して供給される電力を決定するようになっていることを特徴とする回路。

【請求項9】 請求項3記載の回路において、前記フィードバックループ回路は、参照信号と前記フィードバック信号とを比較して第1出力信号を生成するための第1比較器と、該第1出力信号と前記傾斜信号とを比較してこれら第1出力信号と傾斜信号との間の交差に基づいて第2出力信号を生成するための第2比較器と、を備えていることを特徴とする回路。

【請求項10】 請求項9記載の回路において、前記フィードバック信号は、前記負荷を通して流れる電流の測定値とされることを特徴とする回路。

【請求項11】 請求項9記載の回路において、さらに、前記フィードバック信号を受領してトリガー信号を生成するための電流検出回路を具備し、前記フィードバックループ回路が、さらに、前記第1比



較器と前記第2比較器との間にスイッチ回路を備え、該スイッチ回路は、前記トリガー信号を受領し、該トリガー信号の値に基づいて、前記第1出力信号であるかあるいは所定最小信号であるかのいずれかを生成するものとされていることを特徴とする回路。

【請求項12】 請求項9記載の回路において、前記参照信号は、参照信号生成器によって生成されるものであって、前記負荷に対して供給されるべき所望電力値を表したものとされることを特徴とする回路。

【請求項13】 請求項9記載の回路において、さらに、前記フィードバック信号を受領し、該フィードバック信号の値に基づいて、前記パルス生成器を制御する過電圧保護回路と；前記負荷にかかる電圧信号と前記第1出力信号とを受領し、これら電圧信号と第1出力信号とを比較して、前記負荷にかかる前記電圧信号の値に基づいて、前記パルス生成器を制御する過電圧保護回路と；を具備していることを特徴とする回路。

【請求項14】 請求項1記載の回路において、前記パルス生成器が、50%という負荷比率サイクルでもって前記コンバータ回路を起動し得るようプログラムされているとともに所定周波数でもって起動されさらに所定速度かつ所定段数でもって前記周波数を下向きに掃引するようになっている、プログラム可能なパルス周波数生成回路を備えていることを特徴とする回路。

【請求項15】 請求項1記載の回路において、前記負荷が、1つまたは複数の冷陰極蛍光灯ランプ（CCFLs）を備えていることを特徴とする回路。

【請求項16】 請求項1記載の回路において、前記一次側が、インダクタとキャパシタとを有してなる共鳴タンク回路を備えていることを特徴とする回路。

【請求項17】 請求項1記載の回路において、前記二次側が、前記負荷に対して並列接続されたインダクタに対して並列接続されている電圧分割回路を備えていることを特徴とする回路。

【請求項18】 CCFL負荷に対して電力を伝達するためのコンバータ回路であって、電圧源と、一次側と二次側とを有している変圧器と；前記電圧源と前記一次側との間において第1導電経路を形成する、第1対をなすスイッチ、および、前記電圧源と前記一次側との間において第2導電経路を形成する、第2対をなすスイッチと；前記二次側に接続されたCCFL負荷回路と；パルス信号を生成するためのパルス発生器と；前記負荷に対して接続されて、フィードバック信号を生成するための、フィードバック回路と；前記パルス信号と前記フィードバック信号とを受領するとともに、前記負荷に対して電力を供給し得るよう制御パルス信号と前記フィードバック信号とに基づいて、前記第1対をなすスイッチまたは前記第2対をなすスイッチを前記電圧源および前記一次側に対して接続するための駆動回路と；を具備していることを特徴とする回路。

【請求項19】 請求項18記載の回路において、前記パルス信号が、所定周波数をも有し、前記駆動回路が、第1駆動回路、第2駆動回路、第3駆動回路、および、第4駆動回路を備え、前記第1対をなすスイッチが、第1トランジスタおよび第2トランジスタを有し、前記第2対をなすスイッチが、第3トランジスタおよび第4トランジスタを有し、前記第1駆動回路、前記第2駆動回路、前記第3駆動回路、および、前記第4駆動回路が、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、および、前記第4トランジスタの各々の制御ラインに対して接続され、前記パルス信号が前記第1駆動回路に対して供給され、これにより、前記第1トランジスタが、前記パルス信号に応じてスイッチングされ、前記第3駆動回路が、前記パルス信号に基づいて第1相補パルス信号と傾斜信号とを生成し、さらに、前記第1相補パルス信号を前記第3トランジスタに対して供給し、これにより、前記第3トランジスタが、前記第1相補パルス信号に応じてスイッチングされ、前記傾斜信号と前記フィードバック信号とが比較されることにより、第2パルス信号が生成され、該第2パルス信号は、前記第2駆動回路に対して供給され、これにより、前記第2トランジスタが、前記第2パルス信号に応じてスイッチングされ、前記第4駆動回路が、前記第2パルス信号に基づいて第2相補パルス信号を生成し、さらに、前記第2相補パルス信号を前記第4トランジスタに対して供給し、これにより、前記第4トランジスタが、前記第2相補パルス信号に応じてスイッチングされ、前記第1トランジスタと前記第2トランジスタとの間の同時導通、および、前記第3トランジスタと前記第4トランジスタとの間の同時導通、のそれぞれが、前記負荷に対して供給される電力を制御するようになっていることを特徴とする回路。

【請求項20】 請求項18記載の回路において、前記パルス信号と前記第1相補パルス信号との間の位相差が、約180°であり、前記第2パルス信号と前記第2相補パルス信号との間の位相差が、約180°であり、前記パルス信号と前記第2パルス信号とが、前記第1導電経路を通過する電力供給を制御するものとされ、前記第1相補パルス信号と前記第2相補パルス信号とが、前記第2導電経路を通過する電力供給を制御するものとされていることを特徴とする回路。

【請求項21】 請求項19記載の回路において、前記フィードバック回路が、前記フィードバック信号と参照信号とを比較して第1出力信号を生成するための第1比較器と、該第1出力信号と前記傾斜信号とを比較し

てこれら第1出力信号と傾斜信号との間の交差に基づいて第2出力信号を生成するための第2比較器と、を備えていることを特徴とする回路。

【請求項22】 請求項21記載の回路において、前記参照信号は、参照信号生成器によって生成されるものであって、前記負荷に対して供給されるべき所望電力値を表したものとされることを特徴とする回路。

【請求項23】 請求項21記載の回路において、さらに、前記負荷と前記パルス生成器とに対して接続された過電圧保護回路を具備し、該過電圧保護回路が、前記負荷にかかる電圧を入力として受領し、前記負荷にかかる前記電圧の値に基づいて、前記パルス生成器を制御するようにしていることを特徴とする回路。

【請求項24】 請求項23記載の回路において、前記過電圧保護回路が、前記負荷にかかる電圧信号と前記第1出力信号とを比較して、前記パルス生成器による電力供給を制御し得るよう前記パルス生成器に対して制御信号を供給するようになっていたことを特徴とする回路。

【請求項25】 請求項24記載の回路において、前記過電圧保護回路が、タイマー回路を備えており、前記制御信号が、前記タイマー回路によって生成される所定時間にわたって制御されるようになっていたことを特徴とする回路。

【請求項26】 請求項21記載の回路において、さらに、前記パルス生成器に対して接続され、前記フィードバック信号を入力として受領し、該フィードバック信号の値に基づいて、前記パルス生成器を制御する過電流保護回路を具備していることを特徴とする回路。

【請求項27】 請求項19記載の回路において、前記第1トランジスタと前記第3トランジスタとが、互いに直列接続されているとともに、前記電圧源および前記一次側に対して並列接続され、前記第2トランジスタと前記第4トランジスタとが、互いに直列接続されているとともに、前記電圧源および前記一次側に対して並列接続されていることを特徴とする回路。

【請求項28】 請求項19記載の回路において、さらに、前記各トランジスタに対して並列接続されている固有スイッチを具備し、該固有スイッチは、それぞれのトランジスタが導通状態へとスイッチングされる前においては、前記第1導電経路または前記第2導電経路を通じての前記一次側からのエネルギー流通を許容するようになっていたことを特徴とする回路。

【請求項29】 請求項18記載の回路において、前記一次側が、単一の共鳴周波数を有してなる共鳴タンク回路を形成していることを特徴とする回路。

【請求項30】 請求項19記載の回路において、

前記第1駆動回路および前記第3駆動回路が、トータムボール回路とされ、

前記第2駆動回路および前記第4駆動回路が、ブートストラップ回路とハイサイド駆動回路とレベルシフト回路とからなるグループの中から選択された回路とされていることを特徴とする回路。

【請求項31】 請求項19記載の回路において、前記第2駆動回路および前記第4駆動回路が、さらに、前記第1相補パルス信号および前記第2相補パルス信号のそれぞれを生成するためのインバータを備えていることを特徴とする回路。

【請求項32】 請求項31記載の回路において、前記第2駆動回路が、さらに、前記傾斜信号を生成するための鋸歯状波形成回路を備え、この場合、生成される鋸歯状波形は、前記パルス信号に適合した周波数を有していることを特徴とする回路。

【請求項33】 請求項21記載の回路において、さらに、前記第2パルス信号に接続されて、前記第3トランジスタが導通状態にスイッチングされているときにだけ前記第2駆動回路に対して前記第2パルス信号を供給するフリップフロップ回路を具備していることを特徴とする回路。

【請求項34】 請求項18記載の回路において、さらに、前記一次側からの第1入力信号と前記フィードバック信号を使用した第2入力信号とを有した位相ロックグループ(PLL)回路を具備し、該PLL回路は、前記第1入力と前記第2入力との間の位相差に基づいて前記パルス信号のパルス幅を制御するために、前記パルス生成器に対して制御信号を送信することを特徴とする回路。

【請求項35】 負荷に対して電力を伝達するに際してゼロ電圧スイッチング回路を使用して制御を行うための方法であって、DC電圧源を準備し；該電圧源と変圧器の一次側とに対して、第1導電経路を形成するための第1トランジスタおよび第2トランジスタを接続するとともに、前記電圧源と前記変圧器の前記一次側とに対して、第2導電経路を形成するための第3トランジスタおよび第4トランジスタを接続し；所定パルス幅を有するようにパルス信号を生成し；負荷と前記変圧器の二次側とを接続し；前記負荷からのフィードバック信号を生成し；前記フィードバック信号と前記パルス信号とを制御することによって、前記第1トランジスタと前記第2トランジスタと前記第3トランジスタと前記第4トランジスタとの導通状態を決定する；ことを特徴とする方法。

【請求項36】 請求項35記載の方法において、さらに、前記第1トランジスタと前記第3トランジスタとが同時に導通しないようにつづいて前記第2トランジスタと前記第4トランジスタとが同時に導通しないように前記各トランジスタ間の導通のタイミングをとることを特

徴とする方法。

【請求項37】 請求項35記載の方法において、さらに、第1相補信号および第2相補信号を生成し；傾斜信号を生成し；前記傾斜信号と前記フィードバック信号とを比較することにより、第2パルス信号を生成し；前記パルス信号を前記第1トランジスタに対して供給することにより、該第1トランジスタの導通状態を制御するとともに、前記第2パルス信号を前記第2トランジスタに対して供給することにより、該第2トランジスタの導通状態を制御し；前記第1相補パルス信号を前記第3トランジスタに対して供給することにより、該第3トランジスタの導通状態を制御するとともに、前記第2相補パルス信号を前記第4トランジスタに対して供給することにより、該第4トランジスタの導通状態を制御し；前記第1トランジスタと前記第2トランジスタの同時導通を制御しさらに前記第3トランジスタと前記第4トランジスタの同時導通を制御することにより、前記一次側に対して電力を供給する；ことを特徴とする方法。

【請求項38】 請求項37記載の方法において、前記フィードバック信号と参照信号とを比較することによりこの比較結果に基づいて第1出力信号を生成し；該第1出力信号と前記傾斜信号とを比較することにより前記第2パルス信号を生成する；ことを特徴とする方法。

【請求項39】 請求項35記載の方法において、さらに、前記負荷にかかる電圧信号に基づいて前記パルス生成器を制御することを特徴とする方法。

【請求項40】 請求項35記載の方法において、さらに、前記フィードバック信号に基づいて前記パルス生成器を制御することを特徴とする方法。

【請求項41】 請求項35記載の方法において、さらに、位相ロック回路に対して、前記一次側にかかる電圧を表す第1信号と、前記負荷を通して流れる電流を表す第2信号と、を供給し；前記第1信号と前記第2信号との間の位相差をロックして、この位相差に基づいて制御信号を生成し；この制御信号を前記パルス生成器に対して供給することにより、前記第1信号と前記第2信号との間の位相差に基づいて前記パルス信号のパルス幅を調節する；ことを特徴とする方法。

【請求項42】 請求項37記載の方法において、前記第1出力信号と前記傾斜信号とを比較することにより前記第2パルス信号を生成するに際しては、さらに、前記傾斜信号と前記第1出力信号との間の交差に基づいて前記第2パルス信号を生成することを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DCからACへの電力コンバータに関するものである。より詳細には、本発明は、ゼロ電圧スイッチング技術を使用して負荷に対して供給される電力を制御するような高効率コントロー

ラ回路を提供する。本発明の一般的な用途は、冷陰極蛍光ランプ(Cold Cathode Fluorescent Lamps, CCF Ls)に見出される。しかしながら、当業者であれば、高効率で正確な電力制御が要求されるような任意の負荷に対して本発明が応用可能であることは、理解されるであろう。

【0002】

【従来の技術および発明が解決しようとする課題】図1は、従来型のCCFLに対しての電力供給システム(10)を示している。このシステムは、概して、電源(12)と、CCFL駆動回路(16)と、コントローラ(14)と、フィードバックループ(18)と、LCDパネル(20)付きの1つ以上のランプ(CCF L)と、を備えている。電源(12)は、回路(16)に対してDC電圧を供給する。回路(16)は、トランジスタ(Q3)を介してコントローラ(14)によって制御される。回路(16)は、Royer回路として公知の自己共振回路である。本質的に、回路(16)は、自己共振型の直流から交流へのコンバータであって、その共振周波数は、L1とC1とによって設定される。N1~N4は、変圧器巻線のターン数を表している。動作時には、トランジスタ(Q1, Q2)が、交互に導通して、巻線(N1, N2)のそれぞれにわたって入力電圧を切り換える。トランジスタ(Q1)が導通しているときには、入力電圧は、巻線(N1)にわたって印加される。対応した極性の電圧が、他の巻線に対して印加されることとなる。巻線(N4)に誘起される電圧は、トランジスタ(Q2)のベースをプラスとし、トランジスタ(Q1)は、非常に小さなコレクタ・エミッタ間電圧降下をもって導通する。巻線(N4)に誘起された電圧は、また、トランジスタ(Q2)を遮断状態に保持する。トランジスタ(Q1)は、変圧器(TX1)のコア内の磁束が飽和に達するまで、導通する。

【0003】飽和時には、トランジスタ(Q1)のコレクタ電圧が、(ベース回路によって決定される値にまで)急激に上昇し、変圧器に誘起される電圧は、急激に減少する。トランジスタ(Q1)は、飽和状態から外れ、 $V_{CE}$ が上昇して、巻線(N1)にわたっての電圧が、さらに減少する。ベース駆動の減少により、トランジスタ(Q1)がターンオフし、これにより、コア内の磁束がわずかに減少して、巻線(N4)に電流を誘起し、トランジスタ(Q2)をターンオンさせる。巻線(N4)に誘起された電圧は、コアが逆向きに飽和するまでトランジスタ(Q2)を飽和導通状態に維持する。スイッチングサイクルが完了するまで、先とは同様に逆向きの動作が行われる。

【0004】インバータ回路(16)は、比較的少数の構成要素から構成されているものであるけれども、回路の適正な動作は、トランジスタと変圧器との間の複雑な非線形的相互作用に依存している。加えて、C1, Q

1. Q2における誤差(典型的には、35%という許容誤差)のために、回路(16)は、並列型変圧器構成に適用することができない。その理由は、回路(16)の重畳が、ある種の調和周波数をもって共振するようならざる望ましくない動作周波数を発生させるからである。CCFL負荷に適用されたときには、回路は、CCFLsに「ビート」(波打ち)現象をもたしてしまふ。これは、目立つ現象であって望ましくない現象である。許容誤差どうしがたとえ厳密に適合しているにしても、回路(16)が自己共振モードで動作することのために、回路の重畳が固有の動作周波数を有することにより、ビート現象は、除去することができない。

【0005】他のいくつかの駆動システムは、米国特許明細書第5,430,641号、米国特許明細書第5,619,402号、米国特許明細書第5,615,093号、米国特許明細書第5,818,172号に見出すことができる。これら文献のいずれもが、低効率のものであって、2段階の電力変換のものであって、周波数変換型のものであって、および/または、負荷依存型のものである。加えて、負荷が、1つまたは複数のCCFLとアセンブリとを備えている場合には、浮遊キャパシタンスが導入されてしまふ、CCFL自身のインピーダンスに悪影響を与えてしまふ。適正に動作し得るような回路を効果的に構成するためには、回路は、CCFL負荷を駆動するための浮遊インピーダンスを考慮して構成されなければならない。そのような努力は、時間がかかるとともに高価なものとなるのみならず、様々な負荷を取り扱うに際しては、最速のコンパタ構成を得ることを困難なものとする。したがって、上記欠点を克服し得るとともに、高効率であり、CCFLsの信頼性高い点火を行うことができ、負荷に依存しない電力制御ができ、単一の周波数による電力変換ができるような、回路手段が要望されていた。

【0006】

【課題を解決するための手段】したがって、本発明は、負荷の駆動のために最適化されたシステムを提供するものであり、様々なLCDパネル負荷の最適動作を得ることができ、これにより、システムの信頼性を向上させ得るものである。

【0007】大まかに言えば、本発明は、負荷に対して制御しつつ電力を伝達するためのDC/ACコンバータ回路であって、入力電圧源と；電圧源に対して選択的に接続される第1組をなす互いにオーバーラップする複数のスイッチおよび第2組をなす互いにオーバーラップする複数のスイッチであって、この場合、第1組をなす複数のスイッチが第1導電経路を形成し、第2組をなす複数のスイッチが第2導電経路を形成するものとされている。第1組をなす互いにオーバーラップする複数のスイッチおよび第2組をなす互いにオーバーラップする複数のスイッチと；を具備したコンパタ回路を提供する。

パルス信号を生成するためのパルス発生器が設けられる。駆動回路は、パルス信号を受領して、第1組および第2組をなす複数のスイッチの導電状態を制御する。一次側と二次側とを有しているとともに、一次側に、第1導電経路と第2導電経路とを交互的に経路することによって電圧源が選択的に接続されるようになっている、変圧器が設けられる。負荷は、変圧器の二次側に接続される。フィードバックループ回路は、負荷と駆動回路との間に配置され、負荷に対して供給される電力を表すフィードバック信号を供給する。駆動回路は、第1組および第2組をなす複数のスイッチの導電状態を交互的に切り換えて、第1組内の複数のスイッチどうしの間のオーバーラップ時間を制御するとともに、第2組内の複数のスイッチどうしの間のオーバーラップ時間を制御し、これにより、フィードバック信号およびパルス信号に少なくとも部分的に基づいて、電圧源と一次側とを接続するようになっている。

【0008】駆動回路は、パルス信号から第1相補パルス信号を生成し得るように、また、パルス信号から傾斜信号を生成し得るように、構成されている。パルス信号は、第1組をなす複数のスイッチのうちの第1スイッチに対して供給されて、第1スイッチの導電状態の制御に供され、傾斜信号は、少なくともフィードバック信号と比較されることにより、第2パルス信号が生成され、これにより、第1組をなす複数のスイッチの第1スイッチの導電状態と第2スイッチの導電状態との間におけるオーバーラップ状態が、制御されるようになっている。第2パルス信号は、第1組をなす複数のスイッチのうちの第2スイッチに対して供給されて、第2スイッチの導電状態の制御に供される。駆動回路は、さらに、第2パルス信号に基づいて第2相補パルス信号を生成し、第1および第2相補パルス信号が、第2組をなす複数のスイッチのうちの第1スイッチおよび第2スイッチのそれぞれの導電状態を制御する。同様に、第2組をなす複数のスイッチの第1スイッチの導電状態と第2スイッチの導電状態との間におけるオーバーラップ状態が、制御されるようになっている。

【0009】方法の態様においては、本発明は、負荷に対して電力を伝達するに際してゼロ電圧スイッチング回路を使用して制御を行うための方法を提供する。

【0010】この場合、DC電圧源を準備し；電圧源と変圧器の一次側とに対して、第1導電経路を形成するための第1トランジスタおよび第2トランジスタを接続するとともに、電圧源と変圧器の一次側とに対して、第2導電経路を形成するための第3トランジスタおよび第4トランジスタを接続し；所定パルス幅を有するようにしてパルス信号を生成し；負荷を変圧器の二次側に対して接続し；負荷からのフィードバック信号を生成し；フィードバック信号とパルス信号とを制御することによって、第1トランジスタと第2トランジスタと第3トラン

ジスタと第4トランジスタとの導通状態を決定する。

【0011】第1実施形態においては、本発明は、CCFL負荷に対して電力を伝達するためのコンパータ回路であって、電圧源と；一次側と二次側とを有している変圧器と；電圧源と一次側との間において第1導電経路を形成する、第1対をなすスイッチ、および、電圧源と一次側との間において第2導電経路を形成する、第2対をなすスイッチと；二次側に接続されたCCFL負荷回路と；パルス信号を生成するためのパルス発生器と；負荷に対して接続されて、フィードバック信号を生成するための、フィードバック回路と；パルス信号とフィードバック信号とを受領するとともに、CCFL負荷に対して電力を供給し得るようパルス信号とフィードバック信号とに基づいて、第1対をなすスイッチまたは第2対をなすスイッチを電圧源および一次側に対して接続するための駆動回路と；を具備するコンパータ回路を提供する。

【0012】加えて、第1実施形態においては、所定周波数を有したパルス信号を生成するパルス生成器が提供される。駆動回路は、第1駆動回路、第2駆動回路、第3駆動回路、および、第4駆動回路を備え、第1対をなすスイッチが、第1トランジスタおよび第2トランジスタを有し、第2対をなすスイッチが、第3トランジスタおよび第4トランジスタを有している。第1駆動回路、第2駆動回路、第3駆動回路、および、第4駆動回路が、第1トランジスタ、第2トランジスタ、第3トランジスタ、および、第4トランジスタの各々の制御ラインに対して接続されている。パルス信号は、第1駆動回路に対して供給され、これにより、第1トランジスタが、パルス信号に応じてスイッチングされる。第3駆動回路が、パルス信号に基づいて第1相補パルス信号と傾斜信号とを生成し、さらに、第1相補パルス信号を第3トランジスタに対して供給し、これにより、第3トランジスタが、第1相補パルス信号に応じてスイッチングされる。傾斜信号とフィードバック信号とが比較されることにより、第2パルス信号が生成される。第2パルス信号は、第2駆動回路に対して供給され、これにより、第2トランジスタが、第2パルス信号に応じてスイッチングされる。第4駆動回路が、第2パルス信号に基づいて第2相補パルス信号を生成し、さらに、第2相補パルス信号を第4トランジスタに対して供給し、これにより、第4トランジスタが、第2相補パルス信号に応じてスイッチングされる。本発明においては、第1トランジスタと第2トランジスタとの間の同時導通、および、第3トランジスタと第4トランジスタとの間の同時導通、のそれぞれが、負荷に対して供給される電力を制御するようになっている。パルス信号と第2パルス信号とは、所定量だけオーバーラップするようにして生成され、これにより、第1導電経路を通して負荷に対して電力が供給される。第1相補パルス信号と第2相補パルス信号とが、パルス信号と第2パルス信号とのそれぞれから生成される

ことにより、第1相補パルス信号と第2相補パルス信号とも、また、所定量だけオーバーラップするようにして生成され、これにより、第1導電経路とは交互に第2導電経路を通して負荷に対して電力が供給される。

【0013】また、パルス信号と第1相補パルス信号とは、約180°という位相差をもって生成され、第2パルス信号と第2相補パルス信号とは、約180°という位相差をもって生成され、これにより、第1導電経路と第2導電経路との間の短絡の発生が防止されている。

【0014】第1実施形態において提供されるコンパータ回路に加えて、第2実施形態においては、第2パルス信号に接続されて、第3トランジスタが導通状態にスイッチングされているときにだけ第2駆動回路に対して第2パルス信号を供給するフリップフロップ回路が設けられる。加えて、第2実施形態は、一次側からの第1入力信号とフィードバック信号を使用した第2入力信号とを有した位相ロックループ（PLL）回路を具備している。PLL回路は、第1入力と第2入力との間の位相差を比較し、この位相差に基づいてパルス信号のパルス幅を制御するためにパルス生成器に対して制御信号を送信する。

【0015】双方の実施形態において、好ましい回路は、フィードバック信号と参照信号とを比較して第1出力信号を生成するための第1比較器を有したフィードバック制御ループを備えている。第1出力信号と傾斜信号とを比較してこれら第1出力信号と傾斜信号との間の交差に基づいて第2出力信号を生成するための第2比較器が設けられている。さらに、フィードバック回路は、好ましくは、フィードバック信号を受領してトリガー信号を生成するための電流検出回路と、第1比較器と第2比較器との間にスイッチ回路と、を備え、スイッチ回路は、トリガー信号を受領し、トリガー信号の値に基づいて、第1出力信号であるかあるいは所定最小電圧であるかのいずれかを生成するものとされている。参照信号は、例えば、負荷に対して供給されるべき望ましい電力を示すものとして手動で生成される信号とすることができる。所定最小電圧信号は、スイッチに対して供給されるプログラム可能な最小電圧とすることができ、これにより、過電圧が負荷に対して印加されることのない。

【0016】同様に、双方に実施形態においては、フィードバック信号を入力として受領しフィードバック信号の値に基づいてパルス生成器を制御する過電流保護回路を設けることができる。負荷にかかる電圧信号と第1出力信号とを受領しこれら電圧信号と第1出力信号とを比較して負荷にかかる電圧信号の値に基づいてパルス生成器を制御する過電圧保護回路を設けることができる。

【0017】

【発明の実施の形態】以下の詳細な説明においては、好ましい実施形態および好ましい使用方法を参照して説明を行うけれども、本発明がこれら好ましい実施形態およ

び好ましい使用方法に限定されないものであることは、当業者であれば、理解されるであろう。むしろ、本発明は、広い範囲を有したものであるとして、添付の請求範囲によって限定されるものである。

【0018】本発明の他の特徴点および利点は、添付図面を参照した以下の詳細な説明により、明瞭となるであろう。

【0019】単なる例示であって本発明を制限するものではないけれども、以下の詳細な説明においては、本発明による回路の負荷として、CCFLパネルを参照して説明を行う。しかしながら、本発明は、1つまたは複数のCCFLの駆動に限定されるものではなく、特定の応用における特定の負荷に制限されることのない一般的な電力コンバータ回路および方法と見なされるべきである。

【0020】概観すれば、本発明は、フィードバック信号とパルス信号とを使用して2対のスイッチのオン時間を調節することによって、負荷に対しての電力供給を制御するための回路を提供するものである。それぞれのオン時間どうしが互いにオーバーラップするようにして一方の対をなすスイッチのターンオンが制御されたときには、電力は、その一方の対をなすスイッチによって形成された導電経路を經由して、(変圧器を介して)負荷に対して供給される。同様に、それぞれのオン時間どうしが互いにオーバーラップするようにして他方の対をなすスイッチのターンオンが制御されたときには、電力は、その他方の対をなすスイッチによって形成された導電経路を經由して、(変圧器を介して)負荷に対して供給される。よって、選択的にスイッチをターンオンさせることによりまたスイッチどうしの間のオーバーラップを制御することにより、本発明においては、与えられた負荷に対して供給される電力を正確に制御することができる。加えて、本発明においては、回路の短絡や回路の開放が発生したときには負荷に対しての電力供給を遮断するための、過電流保護回路および過電圧保護回路が備えられている。さらに、ここで説明されるスイッチングの制御方式であること、負荷にかかわらず、変圧器構成の共鳴現象に無関係に単一の動作周波数でもって、回路が動作することができる。これらの特徴点につき、添付図面を参照して、以下において説明する。

【0021】図2に示す回路図は、本発明による位相シフトタイプの全波ブリッジ型のゼロ電圧スイッチング式の電力コンバータの好ましい実施形態を示している。本質的に、図2に示す回路は、電源(12)と、交互導通経路を形成する対角線状の複数の対をなすスイッチとして配置された複数のスイッチ(80)と、各スイッチを駆動するための回路(50)と、駆動回路(50)に対して矩形パルスを供給する周波数掃引器(22)と、変圧器(TX1)(変圧器(TX1)の一次側とキャパシタ(C1)とによって形成された共鳴タンク回路

が付設されている)と、負荷と、を備えている。有利には、本発明は、さらに、複数のスイッチ対の少なくとも一方のオン時間を制御しこれにより負荷に対しての電力供給の制御を可能とする、オーバーラップフィードバック制御ループ(40)を備えている。

【0022】電源(12)は、システムに対して適用されている。まず最初に、バイアス/参照信号(30)が、電源から制御回路のために(制御ループ(40)内における制御回路のために)生成される。好ましくは、周波数掃引器(22)が、最大周波数によって開始され所定速度および所定段数でもって下方に掃引するような(すなわち、パルス幅が可変とされた矩形波信号)50%という負荷比率サイクルパルス信号を生成する。周波数掃引器(22)は、好ましくは、従来より公知の、プログラム可能な周波数発生器とされる。(掃引器(22)からの)パルス信号(90)は、B\_ドライブ(スイッチ\_Bを駆動するためのドライブ、すなわち、スイッチ\_Bのゲートを制御するためのドライブ)に対して供給され、その後、A\_ドライブに対して供給される。A\_ドライブは、相補的パルス信号(92)と傾斜信号(26)とを生成する。後述のように、相補的パルス信号(92)は、パルス信号(90)とは位相が約180°ずれたものであり、傾斜信号(26)は、パルス信号(90)とは位相が約90°ずれたものである。傾斜信号は、好ましくは、図に示すような鋸歯状の信号とされる。傾斜信号(26)は、比較器(28)において、誤差アンプ(32)からの出力信号(24)(ここでは、CMPと称される)と比較される。これにより、信号(94)が生成される。比較器(28)からの出力信号(94)は、同様に、50%の負荷比率サイクルパルスであって、C\_ドライブに対して供給される。これにより、スイッチ\_Cのターンオンが開始され、スイッチ\_B、C間およびスイッチ\_A、D間のオーバーラップ量が決定される。信号(94)の相補的な信号(位相が180°ずれた信号)が、D\_ドライブを介して、スイッチ\_Dへと供給される。A\_ドライブへD\_ドライブがそれぞれスイッチ\_Aへスイッチ\_Dの制御ライン(すなわち、ゲート)に対して接続されていて、後述のようにして各スイッチの導通の制御が可能とされていることは、当業者であれば理解されるであろう。スイッチ\_B、C間およびスイッチ\_A、D間のオーバーラップ量を調節することによって、ランプ電流の制御が得られる。言い換えれば、コンバータによって処理される電力量を決定するのは、複数の対をなすスイッチの導通状態に依るオーバーラップ量である。よって、スイッチ\_B、Cおよびスイッチ\_A、Dは、以降、互いにオーバーラップしているスイッチと称される。

【0023】例示であって本発明を限定するものではないけれども、この実施形態においては、B\_ドライブは、好ましくは、トータムボール回路、一般的な低イン

ピーダンスオペアンプ回路、または、エミッタフォロワ回路、から形成されている。C<sub>1</sub>ドライブは、同様に構成されている。A<sub>1</sub>ドライブとD<sub>1</sub>ドライブとが、直接的に接地されていないこと（すなわち、浮いている）により、これらドライブは、当業者には公知なような、ブートストラップ回路または他の高圧側駆動回路（ハイサイドドライブ回路）から形成されることが好ましい。加えて、上述のように、A<sub>1</sub>ドライブとD<sub>1</sub>ドライブとは、B<sub>1</sub>ドライブとC<sub>1</sub>ドライブとのそれぞれから流れてくる信号を反転させる（すなわち、位相を反転させる）ようなインバータを備えている。

【0024】高効率動作は、ゼロ電圧スイッチング技術により得られる。4つのMOSFETs（スイッチA～スイッチD）（80）は、それぞれの固有ダイオード（D1～D4）が導通した後に、ターンオンされる。これにより、変圧器/キャパシタ（TX1/C1）構成におけるエネルギーの電流流通経路がもたらされ、したがって、各スイッチがターンオンする際にスイッチにわたる電圧がゼロ電圧であることが確保される。このような制御方式においては、スイッチング損失が最小化され、高効率が維持される。

【0025】オーバーラップ型スイッチ（80）の好ましいスイッチング動作が、図3（a）～図3（f）に示されている。スイッチCは、スイッチBおよびCの双方が導通した状態となつてから所定期間後に、ターンオフされる。タンク（図2参照）内を流れる電流は、スイッチCがターンオフされたこの時点では、スイッチD内のダイオード（D4）（図3（e））と、変圧器の一次側と、キャパシタ（C1）と、スイッチBと、を通過して流れる。これにより、スイッチBおよびCが導通していた（図3（f））ときに供給されたエネルギーの結果として、キャパシタ（C1）と変圧器において、電圧および電流の共振が起こる。変圧器の一次側の電流方向が瞬時的に変化することがファラデー則を妨害することにより、この状況が起こる必要があることに注意された。よって、スイッチCがターンオフする際には、電流は、ダイオード（D4）を通過して流れなければならない。同様に、スイッチBがターンオフされ（図3（a））、電流は、スイッチAがターンオンされる前にスイッチAに関連したダイオード（D1）を流れる（図3（e））。同様に、スイッチDがターンオフされ（図3（d））、電流は、この場合には、スイッチAから、キャパシタ（C1）と、変圧器の一次側と、ダイオード（D3）と、を経由して流れる。ダイオード（D3）が導通された（図3（e））後に、スイッチCがターンオンされる。スイッチAがターンオフされた後に、スイッチBがターンオンされる。この場合、スイッチBがターンオンよりも先に、ダイオード（D2）が導通することができるようになっていく。対角線状スイッチB、CおよびA、Dのターンオン

時間のオーバーラップは、図3（f）に示すような、変圧器に対して供給されるべきエネルギーによって、決められることに注意された。

【0026】この実施形態においては、図3（b）は、傾斜信号（26）が、スイッチAがターンオンされている時にのみ生成されることを、示している。したがって、傾斜信号（26）を生成するA<sub>1</sub>ドライブは、好ましくは、定電流生成回路（図示せず）を備えている。この定電流生成回路は、傾斜信号を生成し得るよう適切な時定数を有したキャパシタを備えている。この目的のために、参照電流（図示せず）が使用されて、このキャパシタが充電される。このキャパシタは、放電速度が充電速度を上回るようにして（例えば、トランジスタスイッチを介して）接地され、これにより、鋸歯状の傾斜信号（26）が生成される。当然のことながら、上述のように、傾斜信号は、パルス信号（90）を集積することにより得ることができる。よって、傾斜信号（26）は、積分回路（例えば、オペアンプおよびキャパシタ）を使用して形成することができる。

【0027】点火期間においては、2つの対角線状スイッチの間のオーバーラップ（すなわち、スイッチA、D間のオーバーラップ、および、スイッチB、C間のオーバーラップ）は、所定の最小のオーバーラップとされる。このことは、入力側から、キャパシタ（C1）と変圧器とキャパシタ（C2、C3）とCCFL負荷とを含むタンク回路に対して、最小のエネルギーを与える。負荷は、抵抗性負荷とすることも、容量性負荷とすることも、これらの混合型の負荷とすることも、可能であることに注意された。駆動周波数は、所定の最大周波数から開始され、タンク回路と、変圧器の二次側によって反射された等価回路と、の共振周波数へと近づく。エネルギーの大部分は、CCFLが接続されている負荷へと供給される。点火前には高インピーダンス特性であることにより、CCFLは、一次側へと供給されるエネルギーから高電圧を受ける。この電圧は、CCFLを点火させるには十分に大きなものである。CCFLのインピーダンスは、通常動作値（例えば、約100kΩ～130kΩ）へと減少する。最小オーバーラップ動作に基づいて一次側に対して供給されたエネルギーでは、CCFLの定常状態動作を維持するには、もはや十分ではない。誤差アンプ（26）からの出力が、オーバーラップを増大させるように、その機能を開始する。この場合、オーバーラップ量を決定するのは、誤差アンプからの出力レベルである。例えば、次のようなものである。

【0028】図3（b）および図3（c）、および、図2のフィードバックループ（40）に示すように、傾斜信号（26）（A<sub>1</sub>ドライブによって生成される）がCMPインプ（24）（誤差アンプ（32）によって生成される）の値と等しくなったことが、比較器（28）によって確認されたときに、スイッチCがターンオンされ

ることに注意することは、重要である。このことは、図3(b)における交差ポイント(36)として示されている。回路の短絡を避けるために、スイッチA、BおよびC、Dは、決して同時にオン状態となつてはいけない。CMPレベルを制御することにより、スイッチA、DおよびB、C間のオーバーラップ時間が、変圧器に対して供給されるエネルギーを制御する。変圧器に対して供給されるエネルギーを調節するために(そして、これにより、CCFL負荷に対して供給されるエネルギーを調節するために)、誤差アンプからの出力であるCMP(24)を制御することによって、スイッチC、Dが、スイッチA、Bに対して時間的にシフトされる。タイミングチャートから理解されるように、比較器(28)の出力からスイッチCおよびD内の駆動パルスが、CMPレベルを増大させることによって右側へとシフトされたときには、スイッチA、CおよびB、D間のオーバーラップが増大し、これにより、変圧器に対して供給されるエネルギーが増大する。実際には、これは、ランプの高電流動作に対応する。逆に、CMP信号を減少させることによってスイッチCおよびDの駆動パルスを左側へとシフトさせることによって、供給されるエネルギーは、減少する。

【0029】この目的のために、誤差アンプ(32)は、フィードバック信号(FB)と参照電圧(REF)とを比較する。FBは、検出抵抗( $R_D$ ) による電流値の測定結果である。この場合、測定電流値は、負荷(20)を流れる全電流を表している。REFは、所望の負荷状態を表す信号であり、例えば、負荷を流れる所望電流値である。通常動作時には、 $REF=FB$ である。しかしながら、負荷状態が意図的にずらされたときには、例えば、LCDパネルディスプレイに付随した調光スイッチによって負荷状態が意図的にずらされたときには、REFの値が、それに伴って増大または減少することとなる。そのため、比較された値により、CMPが生成される。CMPの値は、負荷状態および/または意図的バイアスの反映であり、REFとFBとの間の差(すなわち、 $REF-FB$ )として求められる。

【0030】負荷および回路を、負荷のところにおける開放(例えば、通常動作時におけるCCFLランプ開放条件)から保護するために、FB信号は、また、好ましくは、検出電流比較器(42)のところにおいて、参照値(この参照値は図示されていないものであって、上述のREF信号とは別のものである)と比較される。検出電流比較器(42)からの出力は、後述のように、スイッチ(38)の状態を決定する。この場合の参照値は、プログラム可能なものとなることができ、および/または、使用者によって設定可能なものとなることができ、好ましくは、システムに許容された最小電流または最大電流(例えば、特にCCFL負荷といったような個々の部材に対しては見積られるようなもの)を反映したものとされる。

フィードバック信号(FB)および参照信号の値が許容範囲内であれば(通常動作)、電流検出比較器の出力は、1(あるいは、HIGH)とされる。これにより、CMPは、スイッチ(38)を通過することができ、回路は、上述のようにして動作し、負荷に対して電力を供給する。しかしながら、フィードバック信号(FB)および参照信号の値が許容範囲を超えている場合(回路開放状態、または、回路短絡状態)には、電流検出比較器の出力は、0(あるいは、LOW)とされ、CMP信号は、スイッチ(38)を通過することを禁止される(当然のことながら、スイッチがLOW状態をトリガーするというように、逆もまた成立する)。この場合には、検出電流比較器が、 $R_D$ を流れる電流が許容値であることを示すまでは、スイッチ(38)によって最小電圧 $V_{min}$ (図示せず)が供給され、比較器(28)に対して供給される。したがって、スイッチ(38)は、検出電流出力がゼロである場合には $V_{min}$ を選択するような、適切なプログラム可能なレクタを備えている。再度図3(b)を参照すると、この操作の効果は、CMP DC値を、公称値または最小値へと下げること(すなわち、 $CMP=V_{min}$ )である。これにより、変圧器(TX1)に高電圧条件が発生することがない。よって、交差ポイント36は、左側へとシフトし、これにより、相補的スイッチどうしの間のオーバーラップ量が減少する(交差ポイント(36)においてスイッチCがターンオンされることを思い起こさたい)。同様に、検出電流比較器(42)は、周波数発生器(22)に対しては接続されており、検出電流周波数が0(あるいは、回路開放状態を示す何らかの他の予設定値)であるときには、周波数発生器(22)をターンオフする。CMPは、保護回路(62)内に供給される。これは、動作時にCCFLが取り外されたとき(回路開放状態)には、周波数掃引器(22)をターンオフさせるためである。

【0031】回路を、過電圧状況から保護するために、この実施形態においては、好ましくは、保護回路(60)が設けられている。保護回路(60)の動作について、以下説明する(検出電流比較器(42)を使用している過電圧保護については、上述の通りである)。保護回路(60)は、CMP信号と、負荷(20)から得られる電圧信号(66)とを、比較するための保護用比較器(62)を備えている。好ましくは、電圧信号は、図2に示すように、電圧分配器C2およびC3(すなわち、負荷(20)に対して並列に接続された電圧分配器)から得られる。ランプ開放状態においては、OVP信号(66)がしきい値に到達するまでは、周波数掃引器は、掃引を続ける。OVP信号(66)は、変圧器(TX1)の出力電圧を検出するために、キャパシタ型分配器C2およびC3の出力から採取される。解析を単純化するために、これらキャパシタは、また、等価負荷キャ



パシタンスのランプキャパシタを表す。しきい値は、参照値であって、回路は、変圧器の二次側電圧が、変圧器の評価電圧よりも小さいものの最小臨界電圧（例えば、LCDパネルによって要求されるような最小臨界電圧）よりも大きなものとなるように、構成されている。OVPがしきい値を超えたときには、周波数検出器は、周波数の掃引を停止する。一方、検出電流比較器（42）は、検出用抵抗（ $R_S$ ）にわたっての信号を検出ししない。したがって、スイッチブロック（38）の出力をなす信号（24）は、最小値にセットされ、スイッチA、CおよびB、D間のオーバーラップ量が最小となる。好ましくは、OVPがしきい値を超えた時点から、タイマー（64）が起動され、これにより、一時停止シーケンスが開始される。一時停止の継続時間は、好ましくは、負荷（例えば、LCDパネル付きのCCFLs）の要求に応じて決められる。しかしながら、一時停止の継続時間は、いくつかのプログラム可能な値に設定することもできる。一次停止の後に、駆動パルスが禁止され、これにより、コンバータ回路からの出力は、安全動作となる。つまり、回路（60）は、ランプの点火には十分な電圧をもたらすものの、ランプがコンバータに対して接続されていないときには、所定期間の後に、停止することとなる。このため、不用意な高電圧を出力することが防止される。点火しなかったランプがランプ開放状態と同様の振舞いを示すことのために、このような一時停止継続時間が必要である。

【0032】図4および図5（a）～図5（f）は、本発明によるDC/ACコンバータ回路の他の好ましい実施形態を示している。この実施形態においては、回路は、図2および図3（a）～図3（f）に関して説明したのと同様に動作する。しかしながら、この実施形態は、さらに、周波数検出器（22）を制御するための位相ロックアップ回路（PLL）（70）と、Cドライブ内への信号入力のタイミングをとるためのフリップフロップ回路（72）と、を備えている。タイミングチャートから理解されるように、スイッチCおよびDの50%実施割合が、CMPレベルを増大させることによって右側へとシフトされたときには、スイッチA、CおよびB、D間のオーバーラップが増大し、これにより、変圧器に対して供給されるエネルギーが増大する。実際には、これは、ランプの高電流動作に対応する（例えば上述のようにREF電圧を手動で増大させることによって、必要とされる）。逆に、（CMP信号を減少させることによって）スイッチCおよびDの駆動パルスを左側へとシフトさせることにより、供給されるエネルギーは、減少する。位相ロックアップ回路（70）は、図4に示すように、通常動作時における、（ $R_S$ による）フィードバック電流と、（TX1/C1による）タンク電流と、の間の位相関係を維持する。PLL回路（70）は、好ましくは、タンク回路（C1およびTX1の一次

側）信号（98）と $R_S$ からの信号（上述のFB信号）とを入力信号として備えている。CCFLが点火されてCCFL内の電流が $R_S$ によって検出された後は、PLL回路（70）が起動されて、ランプ電流と、一次共鳴タンク（C1および変圧器一次側）内の電流と、の間の位相関係がロックされる。つまり、PLLは、例えば温度効果やコンバータとLCDパネルとの間のワイヤのような機械的構成要素やランプとLCDパネルの金属シャシーとの間の距離といったようなキャパシタンスやインダクタンスに影響をもたらすすべての浮遊因子に関し、周波数検出器（22）の周波数を調節することができ、好ましくは、システムは、共鳴タンク回路と、 $R_S$ を通る電流（負荷電流）と、の間の位相差を、180°に維持する。よって、特定の負荷条件にもまた共鳴タンク回路の動作周波数にも無関係に、システムは、最適な動作ポイントを見出す。

【0033】図4の回路構成におけるフィードバックループの動作は、図2に関して上述したものと同様である。しかしながら、図5（b）に示すように、この実施形態においては、Cドライブへの信号出力開始のタイミングを、フリップフロップ（72）によって制御する。例えば、通常動作時には、誤差アンパ（32）からの出力は、スイッチブロック（38）（上述）を通して制御され、結果的に信号（24）として与えられる。スイッチA、CおよびB、D間のオーバーラップ量は、比較器（28）とフリップフロップ（72）とを通して制御される。フリップフロップ（72）は、スイッチCおよびDを駆動する（Dドライブが、Cドライブとは相補的な信号を生成することを目指さない）。これにより、CCFL（パネル）負荷に対しての定常動作がもたらされる。通常動作時にCCFL（パネル）が取り外されてしまったような場合には、CMPが誤差アンパの出力のレール（基準）を引き上げて、即座に保護回路を起動する。この機能は、点火期間には、禁止されるようになっている。

【0034】図5（a）～図5（f）に示すように、この実施形態においては、CドライブおよびDドライブを通してのスイッチCおよびDのトリガーは、フリップフロップ回路（72）の結果として交互的なものである。図5（b）に示すように、フリップフロップは、順次的にトリガーを行う。このため、Cドライブを起動する（そして、順次的に、Dドライブを起動する）。それ以外の動作態様については、図3（a）～図3（f）を参照して上述したのと同じく動作する。

【0035】さて、図6～図11には、図2または4の出力回路の実行結果が示されている。例えば、図6は、21Vという入力に対して、周波数検出器を7.5 KHz（0.5  $\mu$ sというオーバーラップ）としたときに、出力が16.7 KVP-pとなることを示している。この電圧は、CCFLの点火に3300 V-pが

必要な場合には、CCFLのターンオンには不十分なものである。周波数が68KHzくらいにまで減少したときには、最小のオーバーラップが、出力において約3.9KV<sub>p-p</sub>を生成する。これは、CCFLの点火には十分なものである。この様子は、図7に示されている。この周波数においては、オーバーラップが1.5 $\mu$ sへと増大し、約1.9KV<sub>p-p</sub>という出力がもたらされ、130K $\Omega$ のインピーダンスのランプを駆動する。この様子は、図8に示されている。他の例として、図9は、入力電圧が7Vとされている場合の動作を示している。71.4KHzにおいては、出力は、ランプの点火前において750V<sub>p-p</sub>である。周波数が減少すると、ランプが点火するまで、出力電圧が増大する。図10は、65.8KHzにおいて、出力が3500V<sub>p-p</sub>となることを示している。CCFL回路の制御は、点火後の130K $\Omega$ というインピーダンスを支持し得るようにして、オーバーラップを制御することによって得られる。660V<sub>rms</sub>というランプに対しては、CCFLにわたっての電圧は、1.9KV<sub>p-p</sub>である。この様子は、図11に示されている。図示してはいないけれども、図4の回路の実行結果も、同様の振舞いとなる。

【0036】第1実施形態と第2実施形態との間の相違点(すなわち、図4におけるフリップフロップとPLLとの有無)は、図6～図11に示すような動作パラメータ全体に対しては、影響をもたらさない。しかしながら、PLLの追加は、回路内において発生する望ましくないインピーダンスを解消するためのものであり、図2に示す回路に対しても追加することができる。また、フリップフロップを追加することにより、上述のように、定電流回路を省略することができる。

【0037】よって、上述の目的および目標を満たすような、高効率の適応型DC/ACコンバータ回路がもたらされることは、明らかである。変更を加え得ることは、当業者には明瞭であろう。例えば、本発明においては、スイッチングのためにMOSFETsを使用することを記載しているけれども、当業者であれば、BJTトランジスタを使用するように、あるいは、MOSFETsやBJTsといったような任意のタイプのトランジスタを組み合わせて使用するように、回路全体を組み直し得ることは、認識されるであろう。他の変更も可能である。例えば、B<sub>+</sub>ドライブおよびD<sub>+</sub>ドライブに関連したドライブ回路は、通常のコレクタタイプの回路を備えることができる。というのは、関連するトランジスタが接地されていて、そのため、浮いていないからである。ここに記載されたPLL回路は、好ましくは、当業者には公知の一般的なPLL回路(70)であり、上述のようにして入力信号を受領しさらに制御信号を生成し得るよう適切に変更することができる。パルス発生器(22)は、好ましくは、当業者には周知のように、パルス幅変調回路(PWM)、または、周波数幅変調回路(F

WM)、または、これらの双方である。同様に、保護回路(62)およびタイマーは、公知の回路から構成することができ、上述のようにして動作するように適切に変更することができる。他の回路の変更も当業者には、明瞭であろう。そのようなすべての変更は、添付の請求範囲によって規定される本発明の精神および範囲内に属するものである。

#### 【図面の簡単な説明】

【図1】 従来技術によるDC/ACコンバータ回路を示す図である。

【図2】 本発明によるDC/ACコンバータ回路の好ましい実施形態を示す図である。

【図3】 図3(a)～図3(f)は、図2の回路におけるタイミングの例を示す図である。

【図4】 本発明によるDC/ACコンバータ回路の他の好ましい実施形態を示す図である。

【図5】 図5(a)～図5(f)は、図4の回路におけるタイミングの例を示す図である。

【図6】 図2および図4に示す回路の実行結果を示す図である。

【図7】 図2および図4に示す回路の実行結果を示す図である。

【図8】 図2および図4に示す回路の実行結果を示す図である。

【図9】 図2および図4に示す回路の実行結果を示す図である。

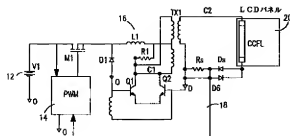
【図10】 図2および図4に示す回路の実行結果を示す図である。

【図11】 図2および図4に示す回路の実行結果を示す図である。

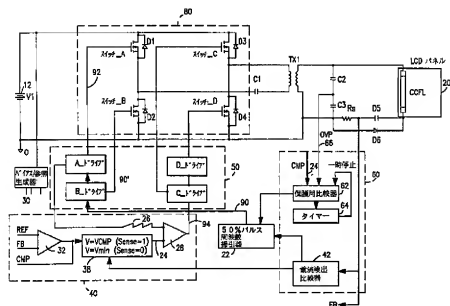
#### 【符号の説明】

- 12 電源
- 20 負荷
- 22 周波数掃引器
- 26 傾斜信号
- 28 比較器
- 38 スイッチブロック
- 40 制御ループ
- 42 検出電流比較器
- 50 駆動回路
- 60 保護回路
- 62 保護用比較器
- 64 タイマー
- 70 位相ロックループ回路(PLL回路)
- 72 フリップフロップ回路
- 80 スイッチ
- 90 パルス信号
- 92 相補的パルス信号
- TX1 変圧器

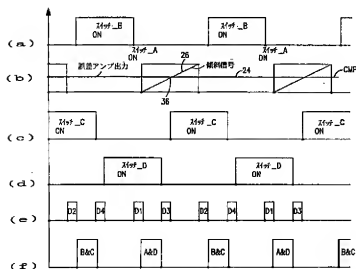
【図1】



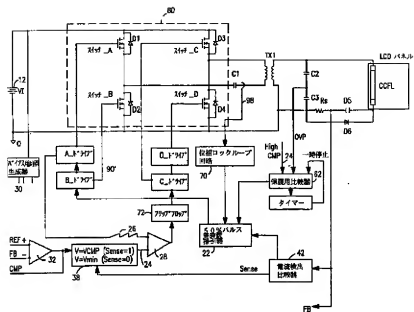
【図2】



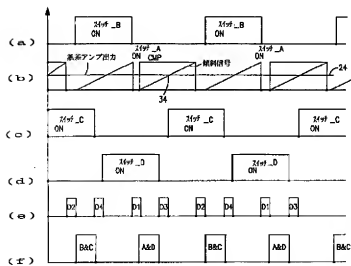
【図3】



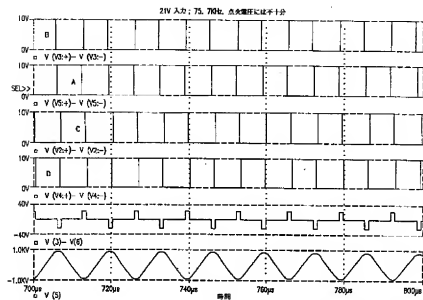
【図4】



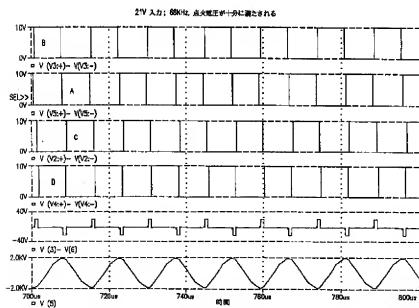
【図5】



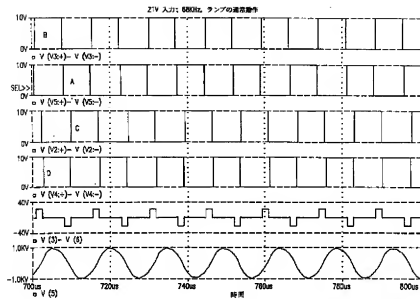
【図6】



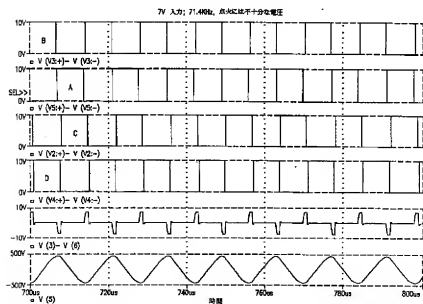
【図7】



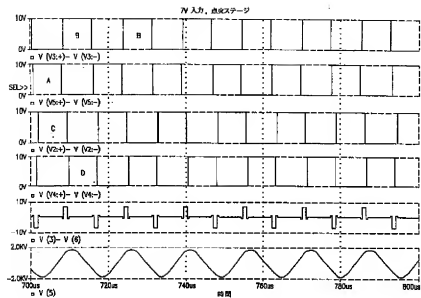
【図8】



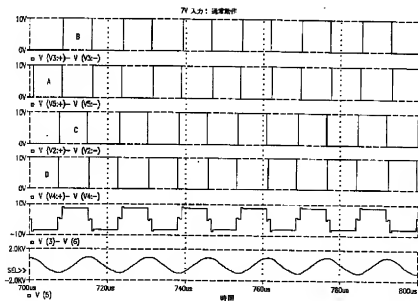
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 ユン・リン・リン  
 アメリカ合衆国・94303・カリフォルニ  
 ア・パロ・アルト・インディアン・ドライ  
 ヴ・2518

F ター ム ( 参 考 ) 3K072 AA19 BC03 BC07 DD04 DE02  
DE04 DE06 EA02 EA06 EB01  
EB05 EB07 GA03 GB18 GC04  
HA06  
5H007 AA06 BB03 CA02 CB04 CB05  
CB09 CC32 DB01 DC02 EA03  
FA01 FA03